



# S698-T 立体封装计算机模块 用户手册

文件编号: ORBITA/SY-OBC02-UMM-01

文件名称	S698-T 立体封装计算机模块用户手册		
文件编号	ORBITA/SY-OBC02-UMM-01		
部 门	系统部	编写日期	2018-06-28
版 本	A3	页 数	139
编 制			
审 核			
审 批			

修 改 记 录		
日 期	变 更 内 容	修 改 者
2012-10-12	首次创建	叶振荣
2014-07-25	更改模块的外形尺寸	王烈洋
2016-08-10	修改总体结构图	王烈洋
2018-6-28	修改公司 LOGO	张水苹

# 目 录

1	引言 .....	1
2	主要性能参数 .....	1
3	总体结构 .....	3
4	微处理器 .....	4
5	电源转换芯片 .....	4
6	数据存储器 SRAM .....	4
7	程序存储器 FLASH .....	4
8	电源监测/系统复位芯片 .....	4
9	晶振 .....	4
10	串口电平转换芯片 .....	5
11	1553B 电平转换芯片 .....	5
12	模块管脚分配 .....	5
12.1	管脚分配 .....	5
12.2	管脚描述及封装尺寸 .....	6
13	模块尺寸 .....	10
14	时钟管理模块 .....	12
14.1	时钟模块结构 .....	12
14.2	时钟管理模块工作原理 .....	13
15	存储器控制器 .....	14
15.1	地址空间分配 .....	14
15.2	寄存器设置 .....	15
15.3	ROM 的访问 .....	18
15.4	SRAM 的访问 .....	19
15.5	IO 区的访问 .....	20
15.6	存储器访问 .....	21
15.7	BRDYN 的使用 .....	21
15.8	BEXCN 的使用 .....	22
16	中断控制器 .....	23
16.1	一级中断控制器 .....	23
16.2	二级中断控制器 .....	24
16.3	寄存器设置 .....	25
16.3.1	一级中断控制器的寄存器设置 .....	25
16.3.2	二级中断控制器的寄存器设置 .....	27
17	外部中断模块 .....	28
18	异步通讯接口 .....	31
18.1	普通通用异步串口 .....	31
18.1.1	普通 UART 结构 .....	31
18.1.2	普通 UART 功能及操作 .....	32
18.1.3	普通 UART 寄存器设置 .....	33
19	通用定时器 .....	35
19.1	模块结构及工作原理 .....	35

19.2	寄存器设置 .....	36
20	看门狗 .....	37
20.1	模块结构及工作原理 .....	38
20.2	寄存器设置 .....	39
20.3	看门狗模块中断 .....	40
21	专用定时器 .....	40
21.1	模块结构及工作原理 .....	41
21.2	寄存器设置 .....	42
22	多功能 IO 接口 MFIO .....	43
22.1	多功能 IO 接口 MFIO 结构 .....	43
22.2	多功能 IO 接口 MFIO 输出功能 .....	44
22.3	多功能 IO 接口 MFIO 输入功能 .....	47
22.4	多功能 IO 接口 MFIO 模块寄存器设置 .....	47
23	ADC 模块 .....	54
23.1	工作及操作过程 .....	54
23.2	ADC 寄存器设置 .....	55
24	DAC 模块 .....	57
24.1	工作及操作过程 .....	58
24.2	DAC 寄存器设置 .....	58
25	CAN 总线控制器 .....	58
25.1	结构框图 .....	59
25.2	BASICCAN 模式寄存器 .....	59
25.2.1	BasicCAN 模式寄存器映射 .....	60
25.2.2	控制寄存器 .....	61
25.2.3	命令寄存器 .....	61
25.2.4	状态寄存器 .....	62
25.2.5	中断寄存器 .....	62
25.2.6	发送缓冲寄存器 .....	63
25.2.7	接收缓冲寄存器 .....	63
25.2.8	接收过滤寄存器 .....	63
25.3	PELICAN 模式寄存器 .....	64
25.3.1	PeliCAN 模式寄存器映射 .....	64
25.3.2	模式寄存器 .....	65
25.3.3	命令寄存器 .....	66
25.3.4	状态寄存器 .....	66
25.3.5	中断寄存器 .....	67
25.3.6	中断允许寄存器 .....	67
25.3.7	仲裁丢失捕捉寄存器 .....	68
25.3.8	错误代码捕捉寄存器 .....	68
25.3.9	错误报警限制寄存器 .....	69
25.3.10	接收错误计数器 .....	69
25.3.11	发送错误计数器 .....	69
25.3.12	发送缓冲寄存器 .....	69

25.3.13	接收缓冲寄存器 .....	71
25.3.14	验收过滤寄存器 .....	73
25.3.14.1	单过滤模式, 标准帧 .....	74
25.3.14.2	单过滤模式, 扩展帧 .....	74
25.3.14.3	双过滤模式, 标准帧 .....	74
25.3.14.4	双过滤模式, 扩展帧 .....	74
25.3.15	接收报文计数器 .....	75
25.4	公共寄存器 .....	75
25.4.1	模式选择寄存器 .....	75
25.4.2	总线定时 0 寄存器 .....	75
25.4.3	总线定时 1 寄存器 .....	76
26	ARINC429 总线控制器 .....	76
26.1	数据字格式 .....	78
26.2	数据接收通道模块 .....	79
26.2.1	数据接收模块结构 .....	79
26.2.2	数据接收模块寄存器 .....	80
26.2.3	数据接收寄存器 .....	81
26.2.4	接收控制寄存器 .....	81
26.2.5	接收波特率设置寄存器 .....	82
26.2.6	接收 FIFO 控制寄存器 .....	82
26.2.7	接收状态寄存器 .....	82
26.2.8	接收标识符设置寄存器 .....	84
26.3	数据发送模块 .....	85
26.3.1	数据发送模块结构 .....	85
26.3.2	数据发送模块寄存器 .....	86
26.3.3	数据发送寄存器 .....	86
26.3.4	发送控制寄存器 .....	87
26.3.5	发送波特率设置寄存器 .....	88
26.3.6	发送 FIFO 控制寄存器 .....	88
26.3.7	发送状态寄存器 .....	88
26.3.8	发送字间间隙配置寄存器 .....	89
27	1553B 总线控制器 .....	90
27.1	主要特征 .....	90
27.2	结构描述 .....	91
27.3	功能描述 .....	93
27.3.1	总线控制器 (BC) .....	93
27.3.2	远程终端 (RT) .....	94
27.3.3	总线监视器 (BM) .....	94
27.4	地址空间分配 .....	94
27.5	寄存器定义及描述 .....	95
27.6	模块工作方式描述 .....	113
27.6.1	BC 总线控制器工作方式 .....	113
27.6.1.1	BC 存储器地址分配 .....	113

27.6.1.2	BC 存储器管理 .....	114
27.6.1.3	BC 消息格式 .....	114
27.6.2	RT 远程终端工作方式.....	115
27.6.2.1	RT 存储器地址分配.....	115
27.6.2.2	RT 存储器查找表.....	116
27.6.2.3	RT 存储器非法命令表地址分配 .....	117
27.6.2.4	RT 存储器忙位查找表地址分配 .....	117
27.6.2.5	RT 存储器方式代码选择中断表 .....	118
27.6.2.6	RT 存储器方式代码选择中断地址分配 .....	118
27.6.2.7	RT 方式代码数据表 .....	119
27.6.2.8	已实现的方式代码.....	119
27.6.2.9	RT 单缓冲存储器管理 .....	120
27.6.2.10	RT 循环缓冲存储器管理 .....	121
27.6.2.11	RT 双缓冲存储器管理 .....	121
27.6.3	BM 总线监视器工作方式 .....	122
27.6.3.1	BM 存储器地址分配.....	122
27.6.3.2	BM 存储器管理.....	122
27.6.3.3	BM 子地址选择设置区地址分配.....	122
27.7	时序图 .....	123
27.7.1	BC 总线控制器应用案例 .....	124
27.7.2	RT 远程终端应用案例.....	125
27.7.3	BM 总线监视器应用案例 .....	126
28	工作条件及电气特性.....	127
29	产品订货信息 .....	128
30	寄存器列表 .....	129

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 1 页 共 139 页

## 1 引言

S698-T 立体封装计算机模块，以下简称计算机模块 (S698-OBC-02)，计算机模块是一款基于总线型 SOC 芯片处理器的立体封装计算机模块，是珠海欧比特控制工程股份有限公司面向嵌入式控制领域而研制的一款高性能、高可靠的 SoC 芯片，其以 130nm CMOS 半导体工艺制造。处理器芯片以高性能的 SPARC V8 (IEEE-1754) 架构标准的 32 位 RISC 整数单元 IU 为主控内核，配以 IEEE-754 标准的 64 位双精度浮点处理单元 FPU。

## 2 主要性能参数

### 1. 处理器:

- a) 最高主频 (IUCLK): 200MHz;
- b) 最高外频 (SYSCLK): 100MHz;
- c) 处理能力:
  - 180MIPS@200MHz;
  - 55MFLOPS (Double Precision) @200MHz。

### 2. 数据存储器 SRAM: 4Mbytes;

### 3. 程序存储器 FLASH: 4Mbytes;

### 4. 外部数据总线宽度: 32 位;

### 5. 外部寻址地址空间: 4Mbyte;

### 6. 外部中断: 4 路;

### 7. GPIO: 4 路;

- a) 4 路独立的多功能 IO 接口;
- b) 各路输入或输出方向可以独立配置;
- c) 各路均可以输出周期、占空比、电平极性、脉冲数目等参数可调的 PWM 信号;
- d) 各路均具有输入脉冲计数功能。

### 8. A/D 转换: 4 路;

- a) 分辨率为 10bit;

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 2 页 共 139 页

- b) 转换速率为 1Mbps。
- 9. D/A 转换：4 路
  - a) 电流型驱动的数模转换器；
  - b) 分辨率为 10bit；
  - c) 最高转换速率为 100Mbps。
- 10. 1553B 总线接口：1 路（A/B 冗余）
  - a) 1 路独立的 1553B 总线控制器
  - b) 遵循 MIL-STD-1553B 和 GJB289 标准；
  - c) 支持 BC、RT 和 BM 三种终端模式；
  - d) 寄存器设置、存储器布局以及软件编程方式兼容 DDC 公司的 61580；
  - e) 支持 1Mbps 和 10Mbps 两种数据传输速率。
- 11. ARINC429 总线接口
  - a) 支持完整的 Arinc429 (MARK33) 通讯协议；
  - b) 集成 4 个接收通道、2 个发送通道；
  - c) 支持 32 和 25 位字长模式；
  - d) 支持 12.5K/48K/50K/100Kbps 等常用速率，也支持 1Kbps ~ 10Mbps 速率的调节。
- 12. CAN 总线总线
  - a) 支持 CAN 2.0B 协议；
  - b) 支持 BasicCAN 和 PeliCAN 模式；
  - c) 操作方式兼容 SJA1000。
- 13. 普通通用异步串口 UART：2 路；
- 14. DSU 调试串口：1 路；
- 15. 电源电压：
  - a)  $3.3V \pm 0.3V$  (IO)；
  - b)  $1.2V \pm 0.1V$  (CORE)；
- 16. 所有所有输入引脚和双向引脚可以兼容 5V 输入；
- 17. 封装形式：144 脚 QFP。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 3 页 共 139 页

### 3 总体结构

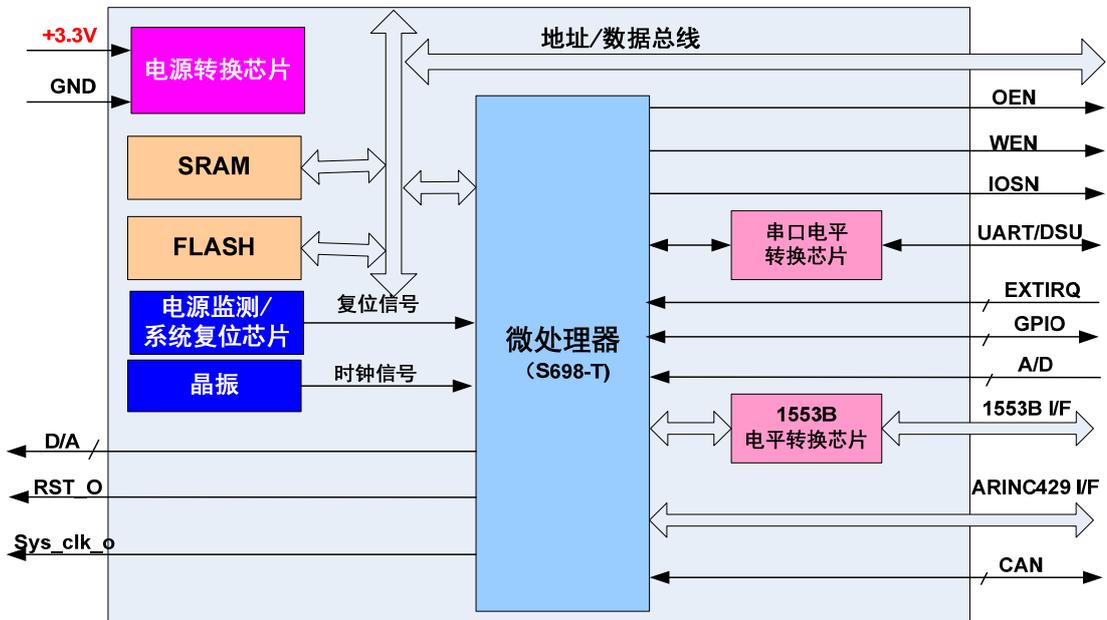


图 3-1 计算机模块内部构成框图

各个模块说明如下：

- 1) 微处理器：采用总线型 32 位 SPARC 架构 SOC 芯片；
- 2) 电源转换芯片：为系统提供 3.3V 和 1.8V 电源；
- 3) SRAM：数据存储器；
- 4) Flash：程序存储器；
- 5) 电源监测/系统复位芯片：监测系统电源、提供系统复位信号；
- 6) 晶振：提供系统时钟信号；
- 7) 串口电平转换芯片：为 UART 一级 DSU 提供串口电平转换；
- 8) 1553B 电平转换芯片：为 1553B 接口电平转换；

计算机模块采用 PCB 堆叠立体封装工艺，内部共分 3 层：处理器层、数据存储器层、程序存储器和总线接口层。

处理器层：包括 32 位 SPARC 架构 SOC、晶振、电源转换芯片等；

数据存储器层：包括 2 片 1024K\*16bit SRAM

程序存储器和总线接口层：包括 2048K\*16bit FLASH、1553B 电平转换、CAN 电平转换、串

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 4 页 共 139 页

口电平转换等电路。

## 4 微处理器

S698-T 处理器是珠海欧比特控制工程股份有限公司面向嵌入式控制领域而研制的一款高性能、高可靠的 SoC 芯片，其以 130nm CMOS 半导体工艺制造。处理器芯片以高性能的 SPARC V8（IEEE-1754）架构标准的 32 位 RISC 整数单元 IU 为主控内核，配以 IEEE-754 标准的 64 位双精度浮点处理单元 FPU。此外，处理器内部还集成了 1553B 总线控制器、ARINC429 总线控制器、CAN 总线控制器、多功能 IO 接口、UART 接口、在线硬件调试支持单元 DSU、DAC 模块、ADC 模块等多种功能模块。

## 5 电源转换芯片

电源转换芯片负责把输入的 3.3V 电源电压转换成 1.8V 给处理器提供内核电压。

## 6 数据存储 SRAM

计算机模块的数据存储器由 2 片容量为 1024K\*16bit SRAM 构成。总容量为 4Mbytes。模块上电后，处理器引导程序从 FLASH 中加载到数据存储器 SRAM 中运行。

## 7 程序存储器 FLASH

计算机模块的程序存储器由 1 片容量 2048K\*16bit FLASH 构成。它用来存储用户程序，在模块上电后，程序被加载到 SRAM 内快速高效的运行。

## 8 电源监测/系统复位芯片

复位芯片一直监控外部的输入电源电压，提供稳定可靠的复位信号来确保处理器正常工作。

## 9 晶振

计算机模块采用有源晶振，10MHz 和 16MHz 有源晶振分别给处理器和 1553B 模块提供高精度

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 5 页 共 139 页

稳定的工作时钟。

## 10 串口电平转换芯片

串口电平转换芯片为处理器提供 UART 和 DSU 接口的 RS232 电平转换。实现模块的 UART 和 DSU 输入输出为 RS232 电平。

## 11 1553B 电平转换芯片

1553B 电平转换芯片实现 1553B 的逻辑电平与总线信号的互相转换。从而实现计算机模块可以通过耦合变压器直接挂接到 1553B 总线。

## 12 模块管脚分配

### 12.1 管脚分配

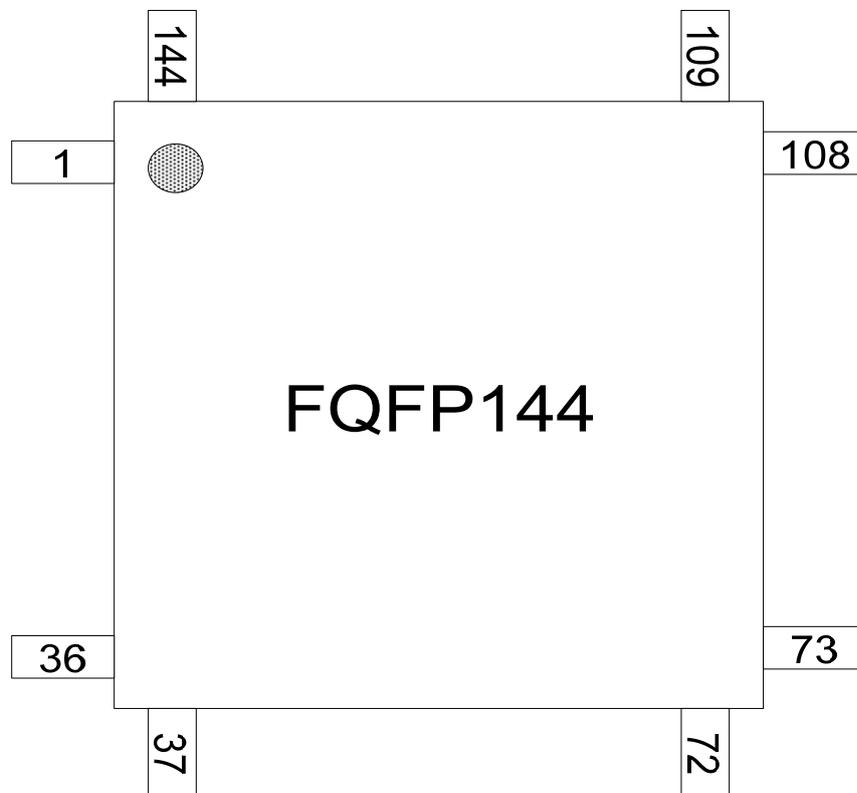


图 12-1 计算机模块的管脚分配

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 6 页 共 139 页

## 12.2 管脚描述及封装尺寸

表 12-1 管脚描述

信号名称	管脚号#	方向	描述
地	1	电源	电源地
3.3V	2	电源	3.3V 电源
ARC429_RXA1	3	in	ARINC429 数据接收通道 1 的 A 端 (或称+端)
ARC429_RXB1	4	in	ARINC429 数据接收通道 1 的 B 端 (或称-端)
ARC429_RXA2	5	in	ARINC429 数据接收通道 2 的 A 端 (或称+端)
ARC429_RXB2	6	in	ARINC429 数据接收通道 2 的 B 端 (或称-端)
ARC429_RXA3	7	in	ARINC429 数据接收通道 3 的 A 端 (或称+端)
ARC429_RXB3	8	in	ARINC429 数据接收通道 3 的 B 端 (或称-端)
ARC429_RXA4	9	in	ARINC429 数据接收通道 4 的 A 端 (或称+端)
ARC429_RXB4	10	in	ARINC429 数据接收通道 4 的 B 端 (或称-端)
ARC429_TXA1	11	out	ARINC429 数据发送通道 1 的 A 端 (或称+端)
ARC429_TXB1	12	out	ARINC429 数据发送通道 1 的 B 端 (或称-端)
ARC429_TXA2	13	out	ARINC429 数据发送通道 2 的 A 端 (或称+端)
ARC429_TXB2	14	out	ARINC429 数据发送通道 2 的 B 端 (或称-端)
EXTINT3	15	in	外部中断 3
EXTINT2	16	in	外部中断 2
EXTINT1	17	in	外部中断 1
EXTINT0	18	in	外部中断 0
DAC_OUT [0]	19	out	DAC 输出通道 0
DAC_OUT [1]	20	out	DAC 输出通道 1
DAC_OUT [2]	21	out	DAC 输出通道 2
DAC_OUT [3]	22	out	DAC 输出通道 3
ADC_VIN [3]	23	in	ADC 模拟量输入通道 3, 被测模拟量电压范围: 0 ~ 2.5v
ADC_VIN [2]	24	in	ADC 模拟量输入通道 2, 被测模拟量电压范围: 0 ~ 2.5v
ADC_VIN [1]	25	in	ADC 模拟量输入通道 1, 被测模拟量电压范围: 0 ~ 2.5v
ADC_VIN [0]	26	in	ADC 模拟量输入通道 0, 被测模拟量电压范围: 0 ~ 2.5v
RESTOUT#	27	out	模块系统复位输出
SYSCLK	28	out	模块系统时钟输出
PLLBYP	29	in	PLL 模块 bypass 控制信号。 0: 正常模式; 1: bypass 模式;
PLLMUL [0]	30	in	PLL 模块倍频参数设定信号: PLL 模块倍频参数=10+p11mlt [3: 0]; PLL 模块倍频参数范围: 10 ~ 25;
PLLMUL [1]	31	in	
PLLMUL [2]	32	in	
PLLMUL [3]	33	in	
PLLDIV [0]	34	in	系统时钟 sysclk 分频参数设定信号 [0], 备注 1
3.3V	35	power	3.3V 电源输入

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 7 页 共 139 页

信号名称	管脚号#	方向	描述
地	36	gnd	电源地
地	37	gnd	电源地
3.3V	38	power	3.3V 电源输入
PLLDIV [1]	39	in	系统时钟 sysclk 分频参数设定信号 [1], 备注 1
IOSEL	40	out	I0 空间片选, 低电平有效
OE	41	out	总线读信号输出
WR	42	out	总线写信号
--	43	nc	管脚悬空
--	44	nc	管脚悬空
A21	45	out	地址线 A0 <sup>-</sup> A21
A20	46	out	
A19	47	out	
A18	48	out	
A17	49	out	
A16	50	out	
A15	51	out	
A14	52	out	
A13	53	out	
A12	54	out	
A11	55	out	
A10	56	out	
A9	57	out	
A8	58	out	
A7	59	out	
A6	60	out	
A5	61	out	数据线 D28 <sup>-</sup> D31
A4	62	out	
A3	63	out	
A2	64	out	
A1	65	out	3.3V 电源
A0	66	out	
D31	67	inout	
D30	68	inout	
D29	69	inout	3.3V 电源
D28	70	inout	
3.3V	71	Power	
地	72	gnd	
地	72	gnd	电源地

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 8 页 共 139 页

信号名称	管脚号#	方向	描述
地	73	gnd	电源地
3.3V	74	power	3.3V 电源
D27	75	inout	数据线 D0~D27
D26	76	inout	
D25	77	inout	
D24	78	inout	
D23	79	inout	
D22	80	inout	
D21	81	inout	
D20	82	inout	
D19	83	inout	
D18	84	inout	
D17	85	inout	
D16	86	inout	
D15	87	inout	
D14	88	inout	
D13	89	inout	
D12	90	inout	
D11	91	inout	
D10	92	inout	
D9	93	inout	
D8	94	inout	
D7	95	inout	
D6	96	inout	
D5	97	inout	
D4	98	inout	
D3	99	inout	
D2	100	inout	
D1	101	inout	
D0	102	inout	
GPIO[3]	103	inout	多功能 I0 接口 3
GPIO[2]	104	inout	多功能 I0 接口 2
GPIO[1]	105	inout	多功能 I0 接口 1
GPIO[0]	106	inout	多功能 I0 接口 0
3.3V	107	power	3.3V 电源输入
地	108	gnd	电源地
地	109	gnd	电源地
3.3V	110	power	3.3V 电源输入

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 9 页 共 139 页

信号名称	管脚号#	方向	描述
DSUEN	111	in	DSU 使能信号
--	112	nc	管脚悬空
--	113	nc	管脚悬空
--	114	nc	管脚悬空
--	115	nc	管脚悬空
--	116	nc	管脚悬空
--	117	nc	管脚悬空
--	118	nc	管脚悬空
--	119	nc	管脚悬空
--	120	nc	管脚悬空
--	121	nc	管脚悬空
--	122	nc	管脚悬空
--	123	nc	管脚悬空
--	124	nc	管脚悬空
--	125	nc	管脚悬空
--	126	nc	管脚悬空
--	127	nc	管脚悬空
CAN_RXD[0]	128	in	CAN 总线通道 0 的数据接收信号
CAN_TXD[0]	129	out	CAN 总线通道 0 的数据发送信号
CAN_RXD[1]	130	in	CAN 总线通道 1 的数据接收信号
CAN_TXD[1]	131	out	CAN 总线通道 1 的数据发送信号
DSU-TX	132	out	调试接口的 RS232 电平发送输出信号
UART0-TX	133	out	UART0 的 RS232 电平发送输出信号
UART1-TX	134	out	UART1 的 RS232 电平发送输出信号
DSU-RX	135	in	调试接口的 RS232 数据接收信号
UART0-RX	136	in	UART0 的 RS232 数据接收信号
UART1-RX	137	in	UART1 的 RS232 数据接收信号
1553B_CHA	138	inout	1553B 总线 A 通道 A+
1553B_CHAN	139	inout	1553B 总线 A 通道 A-
1553B_CHB	140	inout	1553B 总线 B 通道 B+
1553B_CHBN	141	inout	1553B 总线 B 通道 B-
3.3V	142	power	3.3V 电源
3.3V	143	power	3.3V 电源
地	144	gnd	电源地

备注 1: 系统时钟 sysclk 分频参数设定信号 PLLDIV[1] PLLDIV[0]:

- 00: 系统时钟频率等于 IU 时钟频率;
- 01: 系统时钟频率等于 IU 时钟频率的 1/2;

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 10 页 共 139 页

10: 系统时钟频率等于 IU 时钟频率的 1/4;

11: 系统时钟频率等于 IU 时钟频率的 1/8;

### 13 模块尺寸

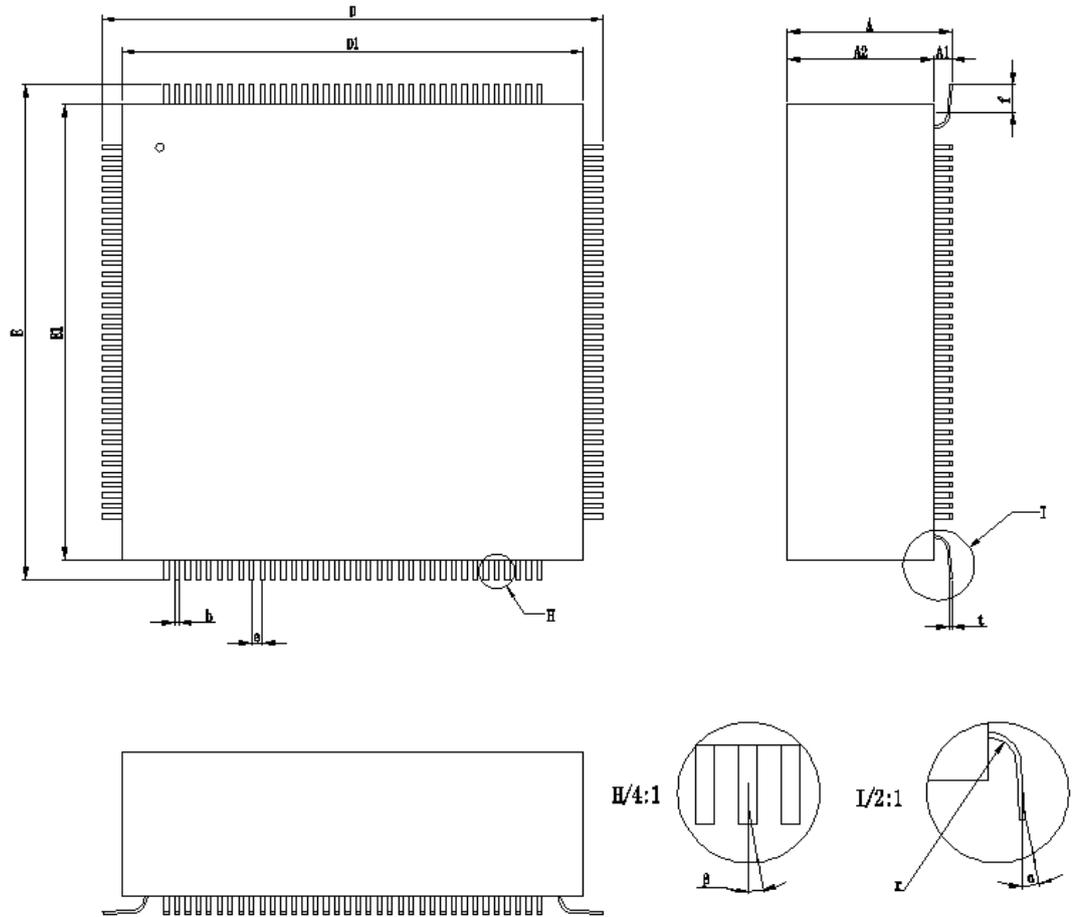


图 13-1 计算机模块尺寸图

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 11 页 共 139 页

表 13-1 管脚描述

	最小值	最大值
A	12.40	13.10
A2	11.20	11.80
D	37.60	38.00
D1	34.40	34.80
E	37.60	38.00
E1	34.40	34.80
f	2.00	
b	0.35	
e	0.80	
r	1.00	
t	0.20	
$\alpha$	$\leq 3^\circ$	
$\beta$	$\leq 3^\circ$	
备注：1. 单位：mm 2. A1= A - A2		

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 12 页 共 139 页

## 14 时钟管理模块

处理器芯片内部有五个时钟域，

- (1) **IU 时钟**：供 IU、FPU、cache 和 Register File 模块使用；
- (2) **IUN 时钟**：供 Register File 模块使用；
- (3) **SYSCLK 时钟**：供 AHB、APB 和片内外设模块使用；
- (4) **1553 时钟**：供 1553 模块使用；
- (5) **ADC 时钟**：供 ADC 模块使用；

其中 1553 时钟为 16MHz 和 ADC 时钟为 10MHz 均集成在计算机模块内部，而 IU 时钟、IUN 时钟、SYSCLK 时钟则由芯片内部的时钟管理模块提供的时钟信号驱动。

### 14.1 时钟模块结构

如图所示，处理器芯片内部的时钟管理模块主要包括锁相环（PLL）和相应的控制逻辑。PLL 的参考时钟源由片外的有源晶振通过引脚 `clkin` 输入提供（时钟信号要求：方波；占空比 50%；频率范围：20MHz ~ 80MHz @ PLL bypass 模式、2MHz ~ 20MHz @ PLL 正常模式）。PLL 的倍频参数通过芯片的 `clkmlt[3:0]` 引脚的电平进行设定。芯片的 `p1lbyps` 引脚还可以选择是否要将旁路（`p1lbyps` 为高时，PLL 为 bypass 模式；`p1lbyps` 为低时，PLL 为正常模式；）。PLL 输出的时钟信号被分为两路，一路直接送给高速时钟域（`IUCLK` 和 `IUCLKN`），另一路则经过分频后送给低速时钟域（`SYSCLK`），分频参数由芯片的 `clkdiv[1:0]` 引脚的电平进行设定。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 13 页 共 139 页

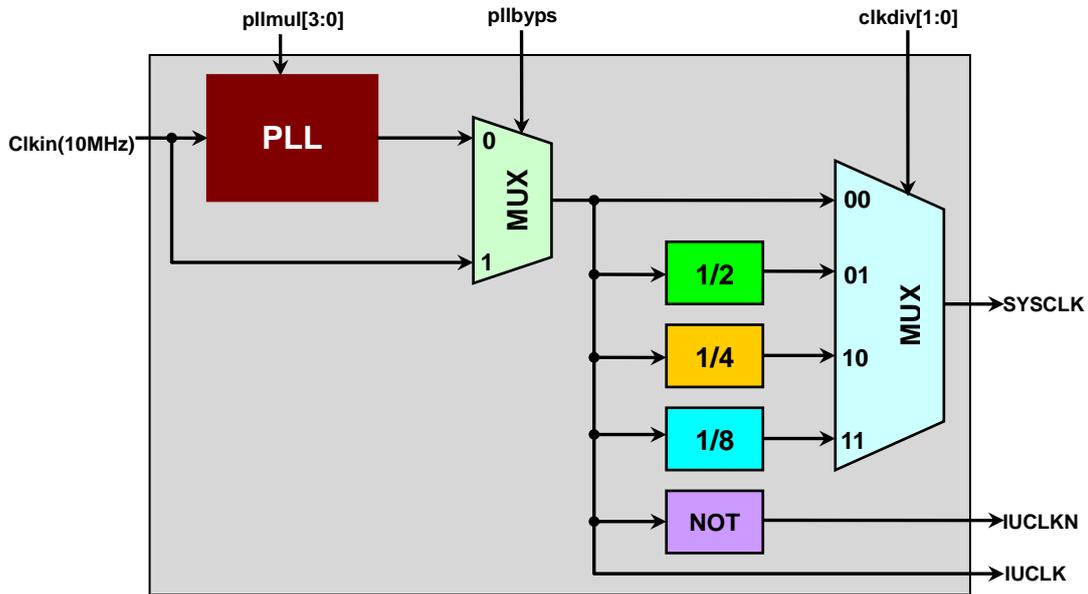


图 14-1 处理器时钟管理模块结构图

## 14.2 时钟管理模块工作原理

- PLL 的参考时钟信号 CLOCK 直接由片外的有源晶振提供，参考时钟的要求如下；
  - 波形：方波；
  - 占空比：50%；
  - 频率范围：20MHz~80MHz@PLL bypass 模式、2MHz~20MHz@PLL 正常模式；
- 在系统复位信号有效时（即为低电平时），控制逻辑自动锁存 pllbyps 引脚的状态作为 PLL 是否旁路的参数，此参数仅仅在系统复位期间由硬件逻辑自动设定，系统复位信号无效后（即变高电平后），分频参数将不可再更改。pllbyps 为高时，PLL 为 bypass 模式；pllbyps 为低时，PLL 为正常模式；
- 在系统复位信号有效时（即为低电平时），控制逻辑自动锁存 clkmu1[3:0] 上的电平信息作为 PLL 的时钟倍频参数，此参数仅仅在系统复位期间由硬件逻辑自动设定，系统复位信号无效后（即变高电平后），倍频参数将不可再更改。倍频值计算方法如下：

$$\text{倍频值 } M = 10 + \text{clkmu1} \quad (\text{其中 } \text{clkmu1} \text{ 取值范围为 } 0 \sim 15) \quad \text{式 (14-1)}$$

- 在系统复位信号有效时（即为低电平时），控制逻辑自动锁存 clkdiv[1:0] 引脚上的电平信息作为 SYSCLK 的分频参数，此参数仅仅在系统复位期间由硬件逻辑自动设定，系统复位信号无效后（即变高电平后），分频参数将不可再更改。当 clkdiv[1:0] 的逻辑值分

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 14 页 共 139 页

别为 00、01、10、11 时，对应的分频参数值 D 为 1、2、4、8。

- 时钟频率计算方法，如表 14-1 所示：

表 14-1 处理器芯片的时钟频率计算方法

时钟名称	时钟频率计算方法	
F <sub>IUCLK</sub> 、F <sub>IUCLKN</sub>	PLL bypass 模式	F <sub>IUCLK</sub> =F <sub>IUCLKN</sub> =F <sub>CLOCK</sub>
	PLL 正常模式	F <sub>IUCLK</sub> =F <sub>IUCLKN</sub> =F <sub>CLOCK</sub> *M
F <sub>SYSCLK</sub>	F <sub>SYSCLK</sub> =F <sub>IUCLK</sub> /D	
符号定义： F <sub>IUCLK</sub> ：IUCLK 时钟频率； F <sub>IUCLKN</sub> ：IUCLKN 时钟频率； F <sub>SYSCLK</sub> ：SYSCLK 时钟频率； F <sub>CLOCK</sub> ：外部参考时钟的频率； M：倍频值，计算方法如（式 16-1）所示； D：分频值，当 clkdiv[1:0] 分别为 00、01、10、11 时，分别对应的分频值 D 为 1、2、4、8；		

## 15 存储器控制器

处理器芯片的存储器控制器提供了直接访问 PROM、I/O 空间、SRAM。其中，访问 ROM、I/O 空间、SRAM 时，支持 8 位、16 位和 32 位三种数据总线宽度，其存取时间参数可配置。本模块内部的 FLASH、I/O 空间、SRAM 最大寻址空间均为 4M Bytes。

### 15.1 地址空间分配

模块地址空间分配见表 15-1。

表 15-1 模块内部存储器的地址映射

地址空间	空间容量	区域
0x10000000-0x100FFFFFF	4Mbyte	ROM
0x20000000-0x200FFFFFF	4Mbyte	I/O
0x40000000-0x400FFFFFF	4Mbyte	SRAM

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 15 页 共 139 页

## 15.2 寄存器设置

表 15-2 处理器存储器控制器的寄存器列表

寄存器名称	地址 (0x)	有效宽度	读/写	描述
MCFG1	80000000	32	R/W	存储器配置寄存器 1
MCFG2	80000004	32	R/W	存储器配置寄存器 2
MCFG3	80000008	32	R/W	存储器配置寄存器 3

表 15-3 处理器存储器控制器的配置寄存器 1

位	名称	描述	默认值
31: 29	—	保留未用, 读值总为 0。	—
28: 27	IO_WIDTH	IO 区数据总线宽度定义: <ul style="list-style-type: none"> <li>• 00: 8 位;</li> <li>• 01: 16 位;</li> <li>• 10 或 11: 32 位;</li> </ul>	00
26	IO_BUS_READY_EN	IO 区 bus ready 控制信号 (brdyn) 使能控制: <ul style="list-style-type: none"> <li>• 0: 关闭;</li> <li>• 1: 使能;</li> </ul>	0
25	BUS_ERROR_EN	bus error 控制信号 (bexc) 使能控制 (对 IO、ROM、RAM 均有效): <ul style="list-style-type: none"> <li>• 0: 关闭;</li> <li>• 1: 使能;</li> </ul>	0
24	—	保留未用, 读值总为 0。	—
23: 20	IO_WS	IO 区访问插入等待周期配置: <ul style="list-style-type: none"> <li>• 0000: 等待 0 个时钟系统时钟周期;</li> <li>• 0001: 等待 1 个时钟系统时钟周期;</li> <li>• 0010: 等待 2 个时钟系统时钟周期;</li> <li>• .....</li> <li>• 1111: 等待 15 个时钟系统时钟周期;</li> </ul>	0000
19	IO_EN	IO 区访问使能控制: <ul style="list-style-type: none"> <li>• 0: 关闭;</li> <li>• 1: 使能;</li> </ul>	0
18: 12	—	保留未用, 读值总为 0。	—
11	ROM_WR_EN	ROM 写操作使能控制: <ul style="list-style-type: none"> <li>• 0: 关闭;</li> <li>• 1: 使能;</li> </ul>	0
10	—	保留未用, 读值总为 0。	—
9: 8	ROM_WIDTH	ROM 区数据总线宽度定义: <ul style="list-style-type: none"> <li>• 00: 8 位;</li> <li>• 01: 16 位;</li> <li>• 10 或 11: 32 位;</li> </ul>	等于引脚 promwidth 当时状态

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 16 页 共 139 页

位	名称	描述	默认值
7: 4	ROM_WR_WS	ROM 区写操作插入等待周期配置： <ul style="list-style-type: none"> <li>• 0000: 等待 0 个时钟系统时钟周期；</li> <li>• 0001: 等待 1 个时钟系统时钟周期；</li> <li>• 0010: 等待 2 个时钟系统时钟周期；</li> <li>• ... ..</li> <li>• 1111: 等待 15 个时钟系统时钟周期；</li> </ul>	1111
3: 0	ROM_RD_WS	ROM 区读操作插入等待周期配置： <ul style="list-style-type: none"> <li>• 0000: 等待 0 个时钟系统时钟周期；</li> <li>• 0001: 等待 1 个时钟系统时钟周期；</li> <li>• 0010: 等待 2 个时钟系统时钟周期；</li> <li>• ... ..</li> <li>• 1111: 等待 15 个时钟系统时钟周期；</li> </ul>	1111

表 15-4 处理器存储器控制器的配置寄存器 2

位	名称	描述	默认值
31	SD_RE_EN	SDRAM auto-refresh 使能控制： <ul style="list-style-type: none"> <li>• 0: 关闭；</li> <li>• 1: 使能；</li> </ul>	0
30	SD_TRP	SDRAM $t_{RP}$ 时序配置： <ul style="list-style-type: none"> <li>• 0: <math>t_{RP}</math> 为 2 个系统时钟；</li> <li>• 1: <math>t_{RP}</math> 为 3 个系统时钟；</li> </ul>	1
29: 27	SD_TRFC	SDRAM $t_{RFC}$ 时序配置： <ul style="list-style-type: none"> <li>• 000: <math>t_{RFC}</math> 为 3+0 个系统时钟；</li> <li>• 001: <math>t_{RFC}</math> 为 3+1 个系统时钟；</li> <li>• 010: <math>t_{RFC}</math> 为 3+2 个系统时钟；</li> <li>• ... ..</li> <li>• 111: <math>t_{RFC}</math> 为 3+7 个系统时钟；</li> </ul>	111
26	SD_CAS_DL	SDRAM CAS DELAY 时序配置： <ul style="list-style-type: none"> <li>• 0: CAS DELAY 为 2 个系统时钟；</li> <li>• 1: CAS DELAY 为 3 个系统时钟；</li> </ul>	1
25: 23	SD_BK_SIZE	SDRAM BANK SIZE 配置： <ul style="list-style-type: none"> <li>• 000: 4MByte；</li> <li>• 001: 8MByte；</li> <li>• 010: 16MByte；</li> <li>• ... ..</li> <li>• 111: 512MByte；</li> </ul>	000
22: 21	SD_COL_SIZE	SDRAM COLUMN SIZE 配置： <ul style="list-style-type: none"> <li>• 00: 256Byte；</li> <li>• 01: 512Byte；</li> <li>• 10: 1024Byte；</li> <li>• 11 且 SD_BK_SIZE <math>\neq</math> 111: 2048Byte；</li> <li>• 11 且 SD_BK_SIZE = 111: 4096Byte；</li> </ul>	10

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 17 页 共 139 页

位	名称	描述	默认值
20: 19	SD_CMD	SDRAM 命令: <ul style="list-style-type: none"> <li>• 00: 无意义;</li> <li>• 01: PRECHARGE 命令;</li> <li>• 10: AUTO-REFRESH 命令;</li> <li>• 11: LOAD-MODE-REGISTER 命令;</li> </ul>	00
18: 15	—	保留未用, 读值总为 0。	—
14	SD_EN	SDRAM 访问使能控制: <ul style="list-style-type: none"> <li>• 0: SDRAM 访问被禁止;</li> <li>• 1: SDRAM 访问被允许;</li> </ul>	0
13	SI	SRAM 访问禁止控制: <ul style="list-style-type: none"> <li>• 0: SRAM 访问未禁止;</li> <li>• 1: SRAM 访问被禁止;</li> </ul>	0
12: 9	SR_BK_SIZE	SRAM BANK SIZE 配置: <ul style="list-style-type: none"> <li>• 0000: 8KByte;</li> <li>• 0001: 16KByte;</li> <li>• 0010: 32KByte;</li> <li>• ... ..</li> <li>• 1111: 256MByte;</li> </ul>	0000
8	—	保留未用, 读值总为 0。	—
7	SR_BUS_READY_EN	SRAM 区 bus ready 控制信号 (brdyn) 使能控制: <ul style="list-style-type: none"> <li>• 0: 关闭;</li> <li>• 1: 使能;</li> </ul>	0
6	SR_RMW	SRAM 区 Read-modify-write 使能控制: <ul style="list-style-type: none"> <li>• 0: 关闭;</li> <li>• 1: 使能;</li> </ul>	0
5: 4	RAM_WIDTH	RAM 区数据总线宽度定义: <ul style="list-style-type: none"> <li>• 00: 8 位;</li> <li>• 01: 16 位;</li> <li>• 10 或 11: 32 位;</li> </ul>	等于引脚 promwidth 当时状态
3: 2	RAM_WR_WS	RAM 区写操作插入等待周期配置: <ul style="list-style-type: none"> <li>• 00: 等待 0 个时钟系统时钟周期;</li> <li>• 01: 等待 1 个时钟系统时钟周期;</li> <li>• 10: 等待 2 个时钟系统时钟周期;</li> <li>• 11: 等待 3 个时钟系统时钟周期;</li> </ul>	11
1: 0	RAM_RD_WS	RAM 区读操作插入等待周期配置: <ul style="list-style-type: none"> <li>• 00: 等待 0 个时钟系统时钟周期;</li> <li>• 01: 等待 1 个时钟系统时钟周期;</li> <li>• 10: 等待 2 个时钟系统时钟周期;</li> <li>• 11: 等待 3 个时钟系统时钟周期;</li> </ul>	11

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 18 页 共 139 页

表 15-5 处理器存储器控制器的配置寄存器 3

位	名称	描述	默认值
31:27	—	保留未用，读值总为 0。	—
26:12	SD_RE_CNT	SDRAM AUTO-REFRESH 时间设定。 系统每隔 SD_RE_CNT 个系统时钟就执行一次 AUTO-REFRESH 命令。	0000000 00000000
11:0	—	保留未用，读值总为 0。	—

### 15.3 ROM 的访问

处理器芯片复位时，ROM 的数据总线宽度可通过引脚信号 `promwidth[1:0]` 来配置：当 `promwidth[1:0]=00` 时，ROM 的数据总线宽度为 8 位；当 `promwidth[1:0]=01` 时，ROM 的数据总线宽度为 16 位；当 `promwidth[1:0]=10` 或 `11` 时，ROM 的数据总线宽度为 32 位。此外 ROM 数据总线宽度也可在存储器配置寄存器 1 (MCFG1) 中设定。

处理器芯片可以提供两个 ROM 片选信号：`ROMSN[0]` 和 `ROMSN[1]`，当地址处于 (0-0X10000000) 范围时，`ROMSN[0]` 有效；而当地址处于 (0X10000000-0X20000000) 范围时，`ROMSN[1]` 有效。

ROM 的读操作时序如图 15-1 所示。可在“data2”后插入最多可达 15 个时钟周期，具体个数由存储器配置寄存器 1 (MCFG1) 来设定。

ROM 的写操作时序如图 15-2 所示。可在“data”后插入最多可达 15 个时钟周期，具体个数由存储器配置寄存器 1 (MCFG1) 来设定。

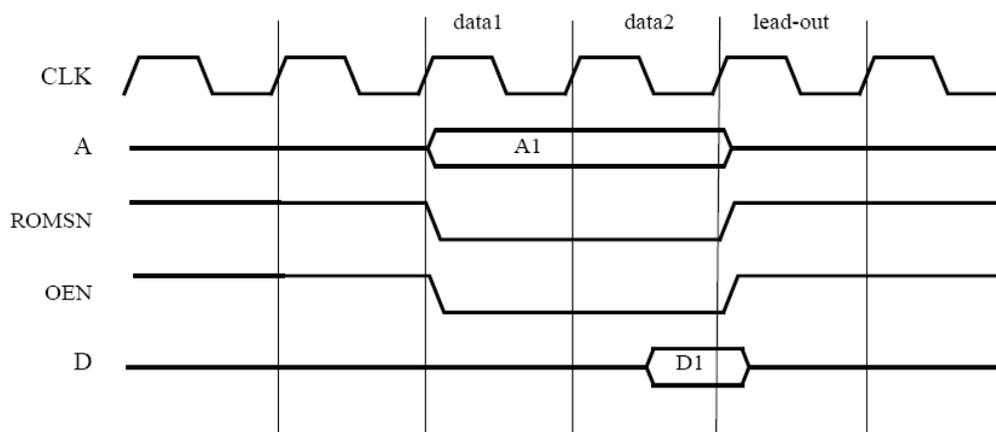


图 15-1 处理器芯片 ROM 读操作时序图 (0 个等待周期)

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 19 页 共 139 页

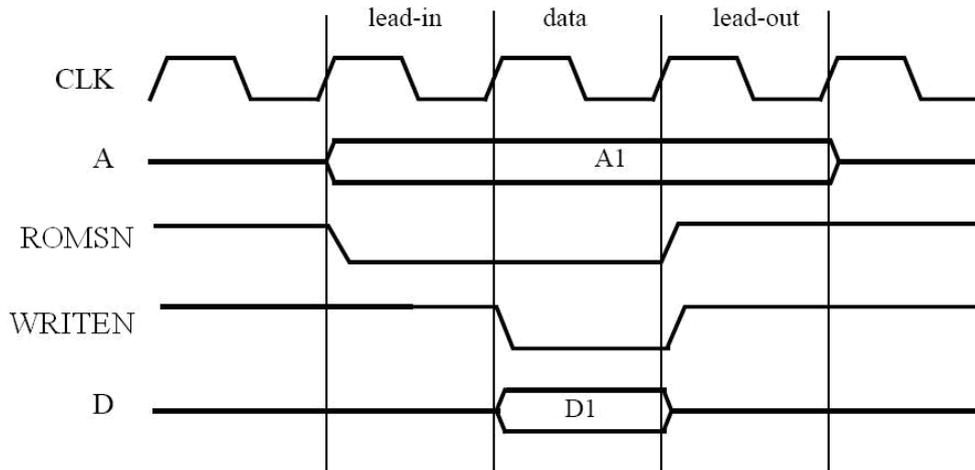


图 15-2 处理器芯片 ROM 读操作时序图 (0 个等待周期)

#### 15.4 SRAM 的访问

处理器芯片 SRAM 区寻址空间为 1024M 字节，分为 5 个 BANK，对应 5 个片选 ramsn[4:0]。其中 BANK3 ~ BANK0 (ramsn[3:0]) 的容量在存储器配置寄存器 2 (MCFG2) 中设定，可设定为 8 Kbyte ~ 256 Mbyte。当访问到 SRAM 的高 512M 字节区 (即 0x60000000~0x7FFFFFFF) 时，BANK4 命中 (ramsn[4] 有效)。

图 15-3 为 SRAM 的读操作时序图，可在 “data2” 后插入最多可达 3 个时钟周期，具体个数由存储器配置寄存器 2 (MCFG2) 来设定。

图 15-4 为 SRAM 的写操作时序图，可在 “data” 后插入最多可达 3 个时钟周期，具体个数由存储器配置寄存器 2 (MCFG2) 来设定。

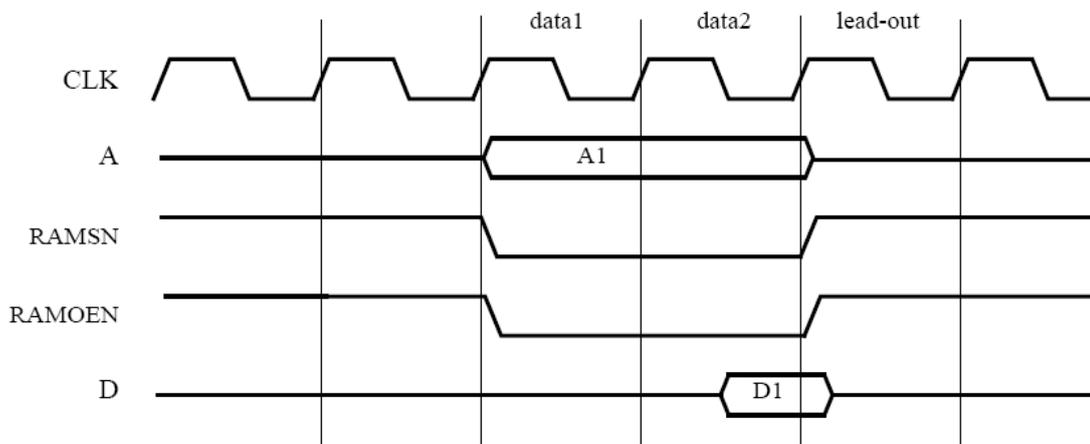


图 15-3 处理器芯片 SRAM 读操作时序图 (0 个等待周期)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 20 页 共 139 页

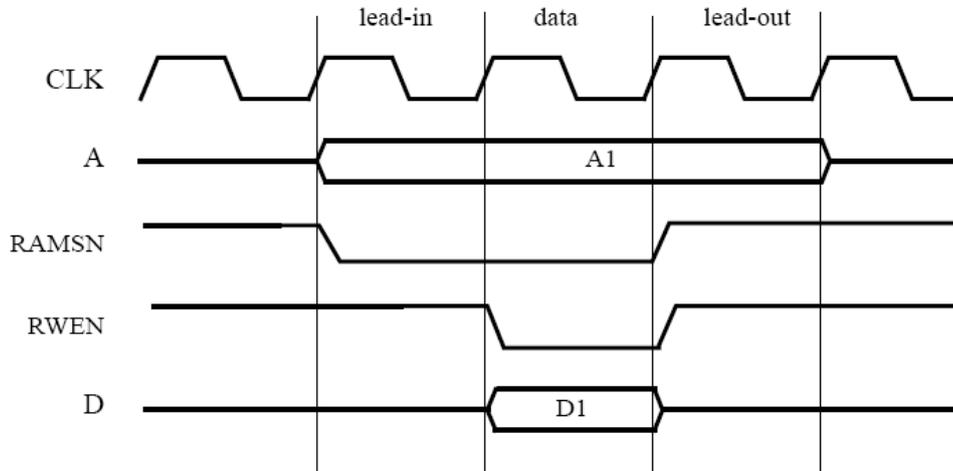


图 15-4 处理器芯片 SRAM 写操作时序图 (0 个等待周期)

## 15.5 I/O 区的访问

处理器芯片提供了 I/O 区间地址选择信号 (IOSN) 选择输入/输出设备, 当访问特定的 I/O 区域 (0x20000000-0x3fffffff) 时, IOSN 地址选择信号有效。

图 15-5 为 I/O 区的读操作时序图, 可在“data”后插入最多可达 15 个时钟周期, 具体个数由存储器配置寄存器 1 (MCFG1) 来设定。

图 15-6 为 I/O 区的写操作时序图。可在“data”后插入最多可达 15 个时钟周期, 具体个数由存储器配置寄存器 1 (MCFG1) 来设定。

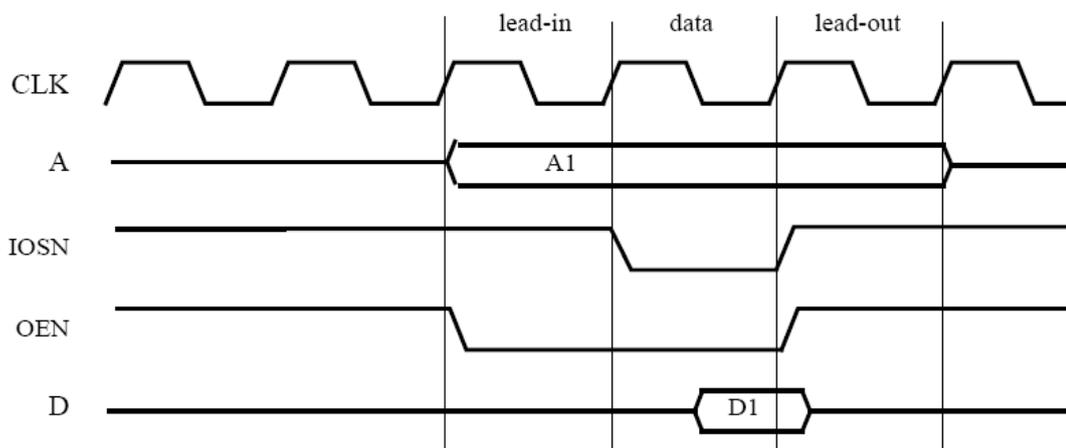


图 15-5 处理器芯片 I/O 区读操作时序图 (0 个等待周期)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 21 页 共 139 页

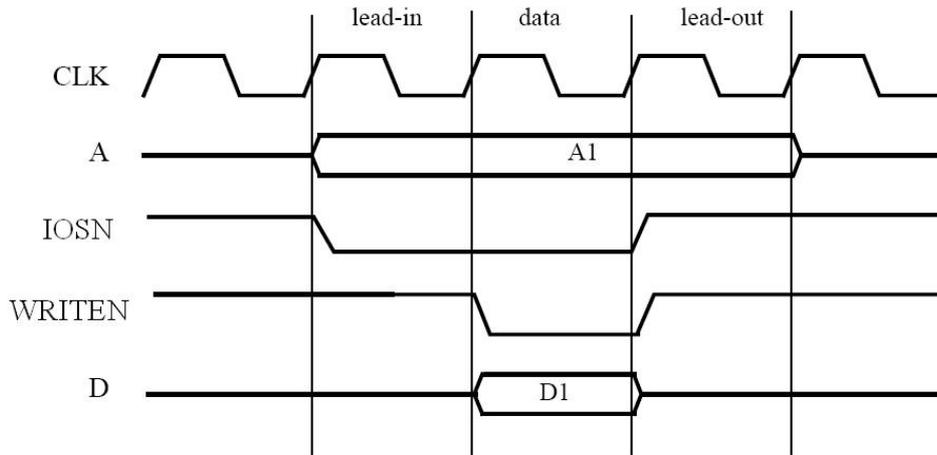


图 15-6 处理器芯片 I0 区写操作时序图 (0 个等待周期)

## 15.6 存储器访问

计算机模块处理器的 SRAM 无须配置, 由模块上电后自动识别为 32 位, ROM 内部配置成 16 位模式。由于处理器对 SRAM 和 ROM 的访问是以 32 位字为基础的, 在 16 位模式下, 处理器进行一次存储器访问操作实际上包含两个 16 位的猝发操作。

处理器的 I0 可以配置成 8 位或 16 位模式, 但不论是 32 位模式、还是 16 位或 8 位模式, 处理器对 I0 区进行访问操作, 不存在猝发操作, 反映存储器总线上都只有一次有效动作。

在 32 位模式下, 处理器数据总线 32bit 全有效, 处理器地址总线的 bit2 接存储器的地址 bit0、处理器地址总线的 bit3 接存储器的地址 bit1、处理器地址总线的 bit4 接存储器的地址 bit2, 以此类推。

在 16 位模式下, 处理器数据总线仅高 16bit (即 31:16) 有效, 处理器地址总线的 bit1 接存储器的地址 bit0、处理器地址总线的 bit2 接存储器的地址 bit1、处理器地址总线的 bit3 接存储器的地址 bit2, 以此类推。

## 15.7 BRDYN 的使用

BRDYN 信号可用于延长 I0 区以及 RAMSN[4] 区的访问等待时间 (对 ROM 区以及 RAMSN[3:0] 区无效)。

- 当 I0 区的 BRDYN 有效 (即 MCFG1 的 bit26=1) 时, 对 I0 区的访问至少经历由 MCFG1 的 bit[23:20] 所设置的等待时间, 而且还会继续等待直到 BRDYN 有效 (低电平有效)。
- 当 SRAM 区的 BRDYN 有效 (即 MCFG2 的 bit7=1) 时, 对 RAMSN[4] 区的访问至少经历由

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 22 页 共 139 页

MCFG2 的 bit [1: 0] 或 bit [3: 2] 所设置的等待时间, 而且还会继续等待直到 BRDYN 有效 (低电平有效)。

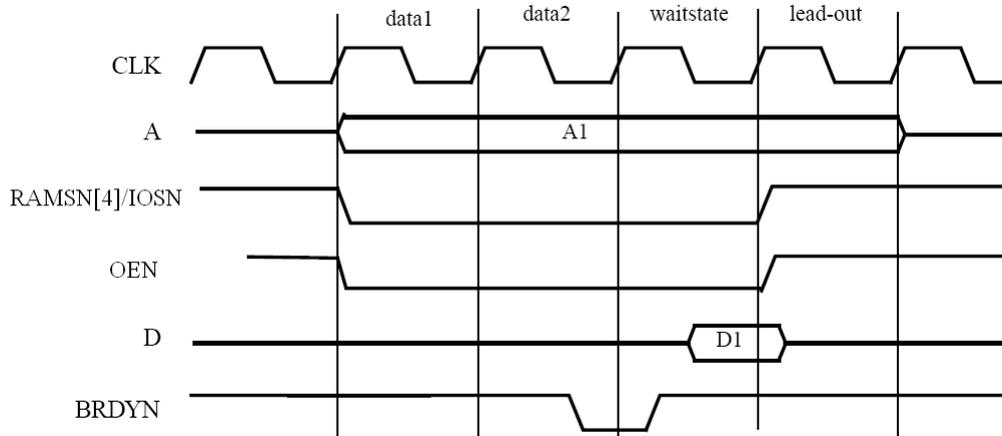


图 15-7 处理器芯片使用 BRDYN 信号延长 IO 区或 RAMSN [4] 区的访问等待时间

## 15.8 BEXCN 的使用

如果 MCFG1 的 bit25=1, 则处理器在读取 ROM、SRAM 或 IO 时, 将会同时采样 BEXCN 信号与数据总线信号, 若此时 BEXCN 信号有效 (为低电平), 这片内将产生一个 AHB 总线错误中断 (一级中断控制器的 1 号中断)。

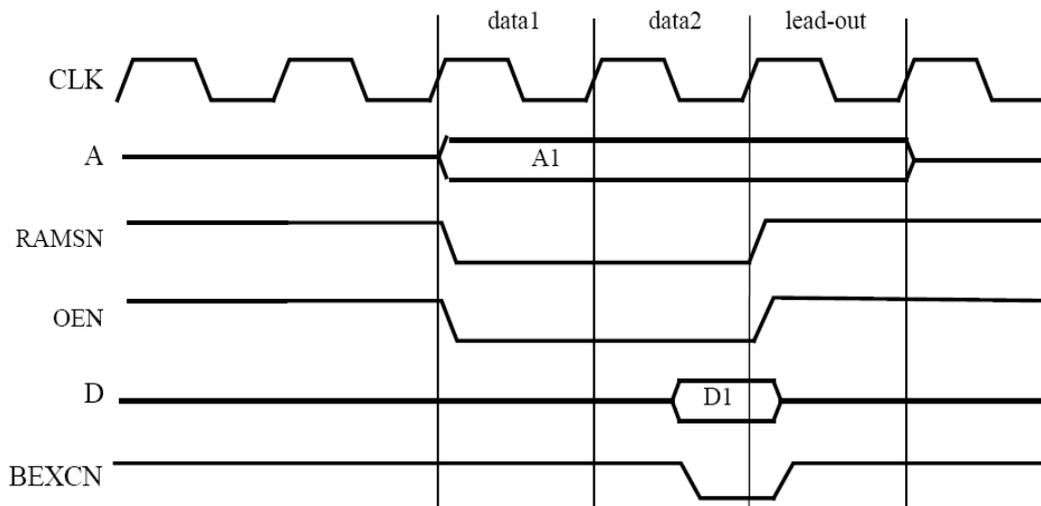


图 15-8 处理器芯片读数操作 (同时采样 BEXCN)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 23 页 共 139 页

## 16 中断控制器

处理器芯片内部集成一个一级中断控制器和一个二级中断控制器，其中一级中断控制器最多可以支持 15 个中断源，而二级中断控制器最多可以支持 32 个中断源。处理器包括 8 路可软件配置的外部中断输入，其支持高电平、低电平、上升沿和下降沿 4 种触发模式，软件可配置。

### 16.1 一级中断控制器

处理器芯片中断控制器（一级中断控制器）把芯片内部和外部的所有中断按照优先级先后的顺序排列，并传送给 IU。处理器总共一级中断控制器支持 15 个中断，如下表 16-1 所示。

表 16-1 处理器一级中断源列表

中断号	中断源
15	未用
14	专用定时器 timerx2 中断
13	专用定时器 timerx1 中断
12	看门狗中断
11	DSU 中断
10	二级中断
9	通用定时器 Timer2 中断
8	通用定时器 Timer1 中断
7	CAN 总线控制器 1 中断
6	CAN 总线控制器 0 中断
5	1553 总线控制器 1 中断
4	1553 总线控制器 0 中断
3	普通通用异步串口 UART0 中断
2	普通通用异步串口 UART1 中断
1	AHB 错误

当一个中断产生时，“中断悬挂寄存器”中相应的位被置‘1’。悬挂的位与“中断屏蔽寄存器”相“与”后转送到优先级选择器。每一个中断均可以通过软件配置“中断优先级配置寄存器”被配置为 2 个优先级级别之一。

级别 2 的优先级高于级别 1。在每个级别中，中断又按照硬件优先级先后的顺序区分。中断 15 的优先级最高，中断 1 的优先级最低。级别 1 中优先级最高的中断被送往 IU，如果级别 2 中

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 24 页 共 139 页

没有中断，则级别 1 中优先级最高的中断被送往 IU，当 IU 响应该中断后，“中断悬挂寄存器”中相应的位将自动被清 ‘0’。

通过设置“中断强制寄存器”的相应位，中断也可被强制产生。在此情况下，IU 响应中断后，会先清除“中断强制寄存器”中的相应位，然后再清除“中断悬挂寄存器”中的相应位。

## 16.2 二级中断控制器

二级中断控制器用来扩展 32 个中断以供片上外设或外部中断使用。二级中断控制器的输出连接到一级中断控制器的 10 号中断上。二级中断列表如表 16-2 所示：

表 16-2 处理器二级中断列表

中断号	中断源
0	外部中断 extirq (0)
1	外部中断 extirq (1)
2	外部中断 extirq (2)
3	外部中断 extirq (3)
4	外部中断 extirq (4) (模块内部未连接)
5	外部中断 extirq (5) (模块内部未连接)
6	外部中断 extirq (6) (模块内部未连接)
7	外部中断 extirq (7) (模块内部未连接)
8	ADC 中断
9	UART16550_0 中断 (模块内部未连接)
10	UART16550_1 中断 (模块内部未连接)
11	429 接收通道 1 中断
12	429 接收通道 2 中断
13	429 接收通道 3 中断
14	429 接收通道 4 中断
15	429 发送通道 1 中断
16	429 发送通道 2 中断
17	mfio 中断
18: 31	保留未用

32 个二级中断均为高电平触发。当中断条件满足时，“二级中断悬挂寄存器”中的相应位被置 ‘1’，悬挂的位与“二级中断屏蔽寄存器”相“与”后送到优先级选择器，如果至少有一个未屏蔽的中断产生，二级中断控制器就会输出一个中断，即产生一个 10 号中断。可从“二级中断

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 25 页 共 139 页

状态寄存器”中读出当前中断的状态。

## 16.3 寄存器设置

### 16.3.1 一级中断控制器的寄存器设置

表 16-3 处理器中一级中断控制器寄存器列表

寄存器名称	地址(0x)	有效宽度	读/写	描述
MASK&LEVEL	80000090	32	R/W	一级中断屏蔽和优先级配置寄存器
PENDING	80000094	32	R/W	一级中断悬挂寄存器
FORCE	80000098	32	R/W	一级中断强制寄存器
CLARE	8000009C	32	W	一级中断清除寄存器

表 16-4 处理器中一级中断屏蔽和优先级配置寄存器

位	名称	描述	默认值
31:17	LEVEL	中断优先级配置 <ul style="list-style-type: none"> <li>• 1: 对应的中断优先级为 1 级;</li> <li>• 0: 对应的中断优先级为 0 级。</li> </ul>	全为 0
16	—	保留未用。	—
15:1	MASK	中断屏蔽/使能位 <ul style="list-style-type: none"> <li>• 1: 对应的中断使能;</li> <li>• 0: 对应的中断屏蔽。</li> </ul>	0
0	—	保留未用。	—

表 16-5 处理器中一级中断悬挂寄存器

位	名称	描述	默认值
31:17	PENDING2	辅助中断悬挂位** <ul style="list-style-type: none"> <li>• 1: 对应的 (n-17) 号中断有悬挂;</li> <li>• 0: 对应的 (n-17) 号中断无悬挂。</li> </ul>	全为 0
16	—	保留未用。	—
15:1	PENDING	中断悬挂位 <ul style="list-style-type: none"> <li>• 1: 对应的中断有悬挂;</li> <li>• 0: 对应的中断无悬挂。</li> </ul>	全为 0
0	—	保留未用。	—

由于 IU 会在相应中断后，会发给一级中断控制器一个中断确认信号 irq-ack，irq-ack 会对 PENDING 中的相应位进行一次清零操作：

- (1) 如果中断输入信号此时已经撤销或变无效（如边沿有效或窄脉冲有效的中断信号），则

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 26 页 共 139 页

PENDING 中相应的为变成 0，进而当中断服务程序去读 PENDING 时，读到的相应位就已经为零了，无法确认当前中断程序响应的是那个中断分量；

- (2) 如果中断输入信号此时仍然有效(如电平有效的中断信号)，则 PENDING 中相应的扔为 1，当中断服务程序去读 PENDING 还可以确认当前中断程序响应的是那个中断分量；

鉴于上述第(1)种情况，设计者增加了“辅助中断悬挂位：PENDING2”，其与 PENDING 一一对应，即 PENDING2[17]对应 PENDING[1]，PENDING2[18]对应 PENDING[2]，以此类推。

- 当 IU 的中断确认信号 irq\_ack 对 PENDING 中的相应位进行清零操作时，PENDING2 中的状态不受任何影响。即使 PENDING 中的中断悬挂已经为 0，仍然可以通过读取 PENDING2 来确认当前中断程序响应的是那个中断分量；
- 中断清楚寄存器 CLEAR 清除 PENDING[1]时，同时也清除 PENDING2[17]；清除 PENDING[2]时，同时也清除 PENDING2[18].....清除 PENDING[15]时，同时也清除 PENDING2[31]。

表 16-6 处理器中一级中断强制寄存器

位	名称	描述	默认值
31:16	—	保留未用。	—
15:1	FORCE	中断强制位 <ul style="list-style-type: none"> <li>1: 往某位写入 1，就强制产生对应的中断；</li> <li>0: 往某位写入 0 无影响。</li> </ul>	全为 0
0	—	保留未用。	—

表 16-7 处理器中一级中断清除寄存器

位	名称	描述	默认值
31:16	—	保留未用。	—
15:1	CLEAR	中断清除位 <ul style="list-style-type: none"> <li>1: 写入 1，就清除 PENDING 寄存器中相应的中断悬挂；</li> <li>0: 写入 0 无影响。</li> </ul>	全为 0
0	—	保留未用。	—

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 27 页 共 139 页

### 16.3.2 二级中断控制器的寄存器设置

表 16-8 处理器中二级中断控制器寄存器列表

寄存器名称	地址(0X)	有效宽度	读/写	描述
MASK	800000B0	32	R/W	二级中断屏蔽寄存器
PENDING	800000B4	32	R	二级中断悬挂寄存器
STATUS	800000B8	6	R	二级中断状态寄存器
CLARE	800000B8	32	W	二级中断清除寄存器

表 16-9 处理器中二级中断屏蔽配置寄存器

位	名称	描述	默认值
31:0	MASK	中断屏蔽/使能位 • 1: 对应的二级中断使能; • 0: 对应的二级中断屏蔽。	全为 0

表 16-10 处理器中二级中断悬挂寄存器

位	名称	描述	默认值
31:0	PENDING	中断悬挂位 • 1: 对应的中断有悬挂; • 0: 对应的中断无悬挂。	全为 0

表 16-11 处理器中二级中断状态寄存器

位	名称	描述	默认值
31:6	—	保留未用。	—
5	ACTIVE	二级中断有效 • 1: 二级悬挂寄存器中至少有一位有效; • 0: 二级悬挂寄存器中全无效。	全为 0
4:0	LEVEL	当前已经悬挂有效的二级中断分量的最大序号。	—

表 16-12 处理器中二级中断清除寄存器

位	名称	描述	默认值
31:16	—	保留未用。	—
15:1	FORCE	中断清除位 • 1: 写入 1, 就清除对应的二级中断; • 0: 写入 0 无影响。	全为 0
0	—	保留未用。	—

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 28 页 共 139 页

## 17 外部中断模块

处理器芯片支持 8 个外部中断，每个中断的触发条件可以软件配置成：高电平、低电平、上升沿、下降沿。

表 17-1 处理器中外部中断模块寄存器列表

寄存器名称	地址(0x)	有效宽度	读/写	默认值(0x)	描述
CONFIG	80000A8	32	W/R	00000000	外部中断配置寄存器

表 17-2 处理器中外部中断配置寄存器

位	名称	读/写	描述	默认值
31	—	—	保留未用。	0
30	select7	w/r	外部中断 7 边沿触发时： 1: 外部中断源 7 上升沿触发； 0: 外部中断源 7 下降沿触发。 外部中断 7 电平触发时： 1: 外部中断源 7 高电平触发； 0: 外部中断源 7 低电平触发。	0
29	edge7	w/r	外部中断 7 边沿/电平触发选择： 1: 外部中断源 7 边沿触发； 0: 外部中断源 7 电平触发。	0
28	enable7	w/r	外部中断 7 使能/关闭： 1: 外部中断源 7 使能； 0: 外部中断源 7 关闭。	0
27	—	—	保留未用。	0
26	select6	w/r	外部中断 6 边沿触发时： 1: 外部中断源 6 上升沿触发； 0: 外部中断源 6 下降沿触发。 外部中断 6 电平触发时： 1: 外部中断源 6 高电平触发； 0: 外部中断源 6 低电平触发。	0
25	edge6	w/r	外部中断 6 边沿/电平触发选择： 1: 外部中断源 6 边沿触发； 0: 外部中断源 6 电平触发。	0
24	enable6	w/r	外部中断 6 使能/关闭： 1: 外部中断源 6 使能； 0: 外部中断源 6 关闭。	0
23	—	—	保留未用。	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 29 页 共 139 页

位	名称	读/写	描述	默认值
22	select5	w/r	外部中断 5 边沿触发时： 1: 外部中断源 5 上升沿触发； 0: 外部中断源 5 下降沿触发。 外部中断 5 电平触发时： 1: 外部中断源 5 高电平触发； 0: 外部中断源 5 低电平触发。	0
21	edge5	w/r	外部中断 5 边沿/电平触发选择： 1: 外部中断源 5 边沿触发； 0: 外部中断源 5 电平触发。	0
20	enable5	w/r	外部中断 5 使能/关闭： 1: 外部中断源 5 使能； 0: 外部中断源 5 关闭。	0
19	—	—	保留未用。	0
18	select4	w/r	外部中断 4 边沿触发时： 1: 外部中断源 4 上升沿触发； 0: 外部中断源 4 下降沿触发。 外部中断 4 电平触发时： 1: 外部中断源 4 高电平触发； 0: 外部中断源 4 低电平触发。	0
17	edge4	w/r	外部中断 4 边沿/电平触发选择： 1: 外部中断源 4 边沿触发； 0: 外部中断源 4 电平触发。	0
16	enable4	w/r	外部中断 4 使能/关闭： 1: 外部中断源 4 使能； 0: 外部中断源 4 关闭。	0
15	—	—	保留未用。	0
14	select3	w/r	外部中断 3 边沿触发时： 1: 外部中断源 0 上升沿触发； 0: 外部中断源 0 下降沿触发。 外部中断 3 电平触发时： 1: 外部中断源 3 高电平触发； 0: 外部中断源 3 低电平触发。	0
13	edge3	w/r	外部中断 3 边沿/电平触发选择： 1: 外部中断源 3 边沿触发； 0: 外部中断源 3 电平触发。	0
12	enable3	w/r	外部中断 3 使能/关闭： 1: 外部中断源 3 使能； 0: 外部中断源 3 关闭。	0
11	—	—	保留未用。	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 30 页 共 139 页

位	名称	读/写	描述	默认值
10	select2	w/r	外部中断 2 边沿触发时： 1: 外部中断源 2 上升沿触发； 0: 外部中断源 2 下降沿触发。 外部中断 2 电平触发时： 1: 外部中断源 2 高电平触发； 0: 外部中断源 2 低电平触发。	0
9	edge2	w/r	外部中断 2 边沿/电平触发选择： 1: 外部中断源 2 边沿触发； 0: 外部中断源 2 电平触发。	0
8	enable2	w/r	外部中断 2 使能/关闭： 1: 外部中断源 2 使能； 0: 外部中断源 2 关闭。	0
7	—	—	保留未用。	0
6	select1	w/r	外部中断 1 边沿触发时： 1: 外部中断源 1 上升沿触发； 0: 外部中断源 1 下降沿触发。 外部中断 1 电平触发时： 1: 外部中断源 1 高电平触发； 0: 外部中断源 1 低电平触发。	0
5	edge1	w/r	外部中断 1 边沿/电平触发选择： 1: 外部中断源 1 边沿触发； 0: 外部中断源 1 电平触发。	0
4	enable1	w/r	外部中断 1 使能/关闭： 1: 外部中断源 1 使能； 0: 外部中断源 1 关闭。	0
3	—	—	保留未用。	0
2	select0	w/r	外部中断 0 边沿触发时： 1: 外部中断源 0 上升沿触发； 0: 外部中断源 0 下降沿触发。 外部中断 0 电平触发时： 1: 外部中断源 0 高电平触发； 0: 外部中断源 0 低电平触发。	0
1	edge0	w/r	外部中断 0 边沿/电平触发选择： 1: 外部中断源 0 边沿触发； 0: 外部中断源 0 电平触发。	0
0	enable0	w/r	外部中断 0 使能/关闭： 1: 外部中断源 0 使能； 0: 外部中断源 0 关闭。	0

备注：计算机模块内部只使用了外部中断 0-3。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 31 页 共 139 页

## 18 异步通讯接口

处理器芯片内部集成 2 个相同的普通通用异步串口 (UART0 和 UART1) 和 2 个相同的 16550 兼容的通用异步串行通讯接口 (UART16550-0 和 UART16550-1)。

UART0 和 UART1 的接收和发送缓存为 1 个字节，而 UART16550-0 和 UART16550-1 的接收和发送缓存容量均为 64 字节的 FIFO。

根据当前系统应用的现状，UART16550-0 和 UART16550-1 的与流量控制相关的信号以及与 Modem 控制相关的信号均被删除，未引出到芯片管脚。

### 18.1 普通通用异步串口

#### 18.1.1 普通 UART 结构

处理器片内集成 2 个相同的普通通用异步串口 (UART0 和 UART1)。其支持 8 位数据，一个可选的奇偶校验位，一个停止位。每个 UART 有一个 12 位的时钟分频器，用来控制波特率。普通通用 UART 功能框图如图 18-1 所示：

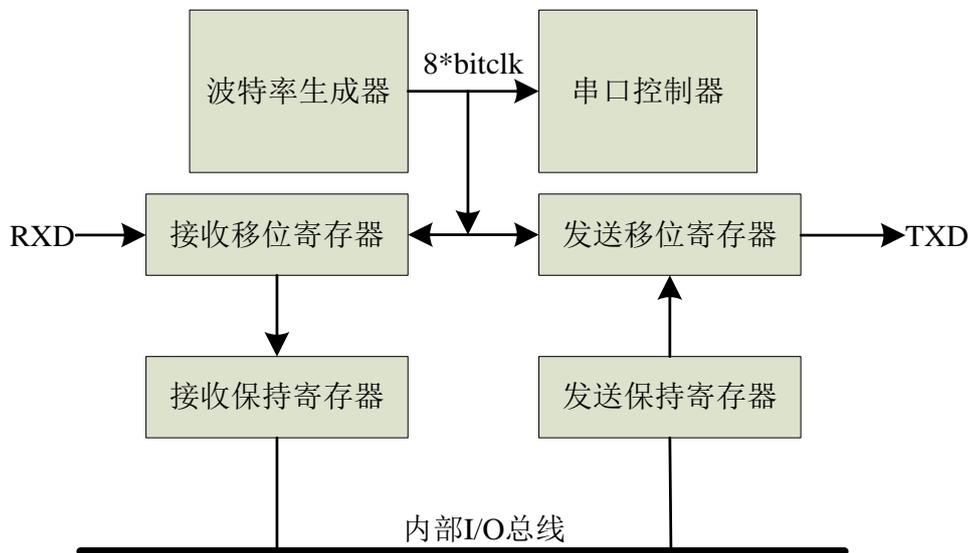


图 18-1 处理器普通通用 UART 功能框图

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 32 页 共 139 页

### 18.1.2 普通 UART 功能及操作

#### (一) 发送数据

通过设置“UART 控制寄存器”的“TE”位来使能发送操作。当准备发送时，数据从“发送保持寄存器”送到“发送移位寄存器”，被转换成串行数据流，通过 TXD 引脚输出。UART 控制器自动在 8 位数据的前面加上 1 位起始位，在其后面加上 1 位可选的奇偶校验位和 1 位停止位。其中起始位和停止位非常重要。如下图 18-2 所示：

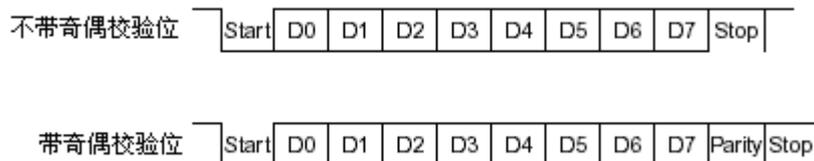


图 18-2 处理器普通通用 UART 发送数据格式

如果“发送保持寄存器”中没有新的字符，则输出引脚 `uart_txd` 保持高电平，“UART 控制寄存器”中的 TSRE（发送移位寄存器空）位被置‘1’。当一个新的字符被载入“发送保持寄存器”中，则发送重新开始，TSRE 位被清‘0’。当发送被禁止时，发送操作继续进行，直至当前正在发送的字符发完为止。当发送被禁止时，“发送保持寄存器”不能载入数据。

#### (二) 接收数据

通过设置“UART 控制寄存器”中的 RE（接收使能）位来使能接收操作。

#### (三) 波特率设置

$$Scaler = \frac{10 * F_{sysclk}}{8 * baudrate} - 5 \quad (式 18-1)$$

- Scaler: 波特率设置寄存器的值;
- $F_{sysclk}$ : 系统时钟频率，单位 Hz;
- baudrate: 期望波特率，单位 bps。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 33 页 共 139 页

### 18.1.3 普通 UART 寄存器设置

表 18-1 处理器普通通用 UART 寄存器

寄存器	地址 (0x)	读/写	有效位宽	描述
rxdata_0	80000070	R	8	UART0 数据接收寄存器
rxdata_0	80000070	W	8	UART0 数据发送寄存器
status_0	80000074	R/W	7	UART0 状态寄存器
control_0	80000078	R/W	8	UART0 控制寄存器
scaler_0	8000007C	R/W	12	UART0 波特率设置寄存器
rxdata_1	80000080	R	8	UART1 数据接收寄存器
rxdata_1	80000080	W	8	UART1 数据发送寄存器
status_1	80000084	R/W	7	UART1 状态寄存器
control_1	80000088	R/W	8	UART1 控制寄存器
scaler_1	8000008C	R/W	12	UART1 波特率设置寄存器

表 18-2 处理器普通通用 UART 数据接收/发送寄存器

位	位名称	位描述	默认值
31: 8	—	保留未用。	—
7: 0	rxdata/txdata	接收/发数数据。	—

表 18-3 处理器普通通用 UART 状态寄存器

位	位名称	位描述	默认值
31: 7	—	保留未用。	—
6	FE	Frame Error: • 1: 帧错误, 即没有收到停止位, 但接收到的数不是连续 8 比特 0; • 0: 正常。	0
5	PE	Parity Error: • 1: 奇偶校验错误, rshift 中的数仍然会往 rhold 中存, 但是 ready 不会被置 1; • 0: 正常。	0
4	OV	Over run: • 1: 数据接收寄存器中收到的数还没有被读取, 又有新的待接收的串行数据到来, 旧的数将会被覆盖; • 0: 正常。	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 34 页 共 139 页

位	位名称	位描述	默认值
3	BR	Break Error: <ul style="list-style-type: none"> <li>• 1: 连接断开, 即没有收到停止位, 且接收到连续 8 比特 0;</li> <li>• 0: 正常。</li> </ul>	0
2	TH	TX Hold register empty, 发送保持寄存器空/非空: <ul style="list-style-type: none"> <li>• 1: 发送保持寄存器空;</li> <li>• 0: 发送保持寄存器非空。</li> </ul>	1
1	TS	TX shift register empty, 发送移位寄存器空/非空: <ul style="list-style-type: none"> <li>• 1: 发送移位寄存器空;</li> <li>• 0: 发送移位寄存器非空。</li> </ul>	1
0	DR	Rx Data Ready: <ul style="list-style-type: none"> <li>• 1: 接收到新数据;</li> <li>• 0: 没有接收到新数据。</li> </ul>	0

表 18-4 处理器普通通用 UART 控制寄存器

位	位名称	位描述	默认值
31: 8	—	保留未用。	—
7	LB	Loop Back: <ul style="list-style-type: none"> <li>• 1: 自环测试使能;</li> <li>• 0: 自环测试关闭。</li> </ul>	0
6	—	保留未用。	—
5	PE	Parity Enable: <ul style="list-style-type: none"> <li>• 1: 奇偶校验功能使能;</li> <li>• 0: 奇偶校验功能关闭。</li> </ul>	0
4	PS	Parity Select: <ul style="list-style-type: none"> <li>• 1: 奇校验;</li> <li>• 0: 偶校验。</li> </ul>	0
3	TI	TX Interrupt Enable: <ul style="list-style-type: none"> <li>• 1: 发送中断使能, 每发送完一个数据, 将产生中断;</li> <li>• 0: 发送中断关闭。</li> </ul>	0
2	RI	RX Interrupt Enable: <ul style="list-style-type: none"> <li>• 1: 接收中断使能, 每接收到新数据, 将产生中断;</li> <li>• 0: 接收中断关闭。</li> </ul>	0
1	TE	Transmmite Enable: <ul style="list-style-type: none"> <li>• 1: 发送使能;</li> <li>• 0: 发送关闭。</li> </ul>	0
0	RE	Receive Enable: <ul style="list-style-type: none"> <li>• 1: 接收使能;</li> <li>• 0: 接收关闭。</li> </ul>	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 35 页 共 139 页

表 18-5 处理器普通通用 UART 波特率设置寄存器

位序号	位名称	位描述	默认值
31:12	—	保留未用。	—
11:0	scaler	UART 波特率设置值，计算方法参考（式 20-1）。	—

## 19 通用定时器

处理器芯片片内集成 2 个 24 位的通用定时器 timers，timers 支持中断，且中断可软件设置开放或屏蔽。

### 19.1 模块结构及工作原理

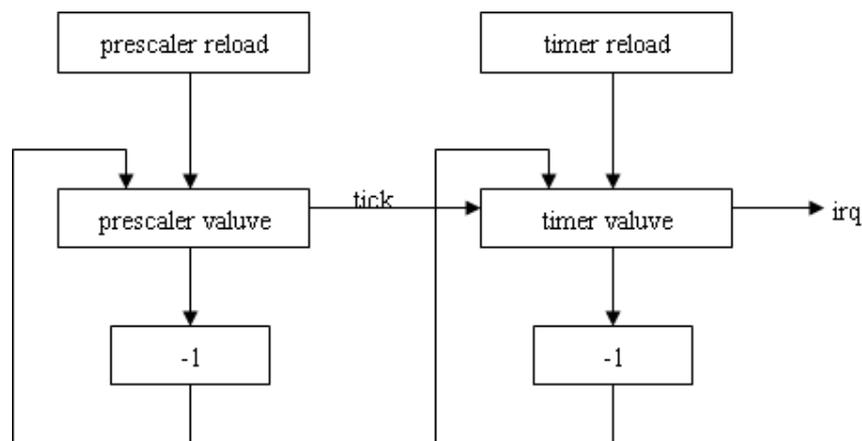


图 19-1 通用定时器模块结构图

在 DSU 调试模式下（即 DSU 连通，且没有运行用户程序的情况），预分频计数器 prescaler 不动作，进而 timers 的计数器均不动作；在非调试模式下（即 DSU 未连通，或 DSU 连通且已运行用户程序的情况），预分频计数器 prescaler 在系统时钟信号的驱动下，进行递减 1 的动作，每次递减到全 0 时，输出一个脉冲 tick 给 timers。当预分频计数器 prescaler 减到 0 时，会重新载入寄存器 prescaler\_reload 的值，继续计数。

若 timers 的 control 寄存器的 enable=1，则 timer 被使能（起始计数值为 timer\_value 寄存器的值），其在 tick 的驱动下，进行递减 1 的动作，直到递减到全 0。从开始计数到递减到 0，期间时间长度  $T_1$  如式 19-1 所示（单位：秒）：

$$T_1 = [(prescaler\_reload + 1) \times (timer\_value + 1)] \div F_{sysclk} \quad (\text{式 19-1})$$

其中： $F_{sysclk}$ ：系统时钟频率，单位 Hz。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 36 页 共 139 页

若递减到全 0，则：

- 将 irq 置高一个系统时钟宽度的时间；
- 若 control 寄存器的 reload\_enable = 1，timers 将重新载入 timer\_reload 的值继续递减计数，直到再次递减到 0。从上次递减到 0 到再次递减到 0 的时间  $T_2$  如式 19-2 所示（单位：秒）；
- 若 control 寄存器的 reload\_enable = 0，timers 将停止计数，并将 control 寄存器的 enable 置 0；

$$T_2 = [(\text{prescaler\_reload} + 1) \times (\text{timer\_reload} + 1)] \div F_{\text{sysclk}} \quad (\text{式 } 19-2)$$

其中： $F_{\text{sysclk}}$ ：系统时钟频率，单位 Hz。

## 19.2 寄存器设置

表 19-1 处理器中通用定时器模块寄存器

寄存器	地址(0x)	读/写	有效位宽	描述
timer_value_1	80000040	R/W	24	定时器 1 计数值寄存器
timer_reload_1	80000044	R/W	24	定时器 1 计数重载寄存器
control_1	80000048	R/W	4	定时器 1 控制寄存器
timer_value_2	80000050	R/W	24	定时器 2 计数值寄存器
timer_reload_2	80000054	R/W	24	定时器 2 计数重载寄存器
control_2	80000058	R/W	4	定时器 2 控制寄存器
prescaler_value	80000060	R/W	10	预分频计数值寄存器
prescaler_reload	80000064	R/W	10	预分频计数重载寄存器

表 19-2 处理器中通用定时器 1&2 计数值寄存器定义

位	位名称	描述	访问方式	默认值
31: 24	—	保留未用，读值总为零。	—	—
23: 0	cnt_value	定时器 1&2 计数值。	W/R	—

表 19-3 处理器中通用定时器 1&2 重载寄存器定义

位	位名称	描述	访问方式	默认值
31: 24	—	保留未用，读值总为零。	—	—
23: 0	rld_value	定时器 1&2 计数重载值。	W/R	—

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 37 页 共 139 页

表 19-4 处理器中通用定时器模块控制寄存器定义

位	位名称	描述	访问方式	默认值
2	force_load	强行重载命令： • 1: 写入 1，强行给定时器重载 reload_value 值再运行； • 0: 写入 0，无意义；	W 读值为 0	0
1	reload_enable	定时器重载使能控制： • 1: 定时器在每次递减到全 0 时，均会自动重新载入 timer_reload 寄存器的值继续计数； • 0: 定时器在每次递减到全 0 时，将停止计数。	W/R	0
0	enable	定时器使能控制： • 1: 使能； • 0: 关闭。	W/R	0

表 19-5 处理器中通用定时器预分频计数值寄存器定义

位	位名称	描述	访问方式	默认值
31:0	prescaler_value	通用定时器预分频计数值	W/R	0

表 19-6 处理器中通用定时器预分频计数重载值寄存器定义

位	位名称	描述	访问方式	默认值
31:0	prescaler_value	通用定时器预分频计数重载值	W/R	0

## 20 看门狗

处理器芯片片内集成 1 路 Watch Dog 定时器，其采用递减式的 32bit 定时器，支持片内中断位，复位信号通过专门的引脚输出到芯片外部（看门狗复位信号输出引脚 wdg-o 为 OD 引脚）。

处理器芯片内的看门狗模块具有如下功能：

- 复位信号输出到片外；
- 定时器的长度为 32 位；
- 计数方式为递减方式；
- 支持中断，且中断可以软件配置；
- 支持状态查询；
- 支持“喂狗”命令；

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 38 页 共 139 页

## 20.1 模块结构及工作原理

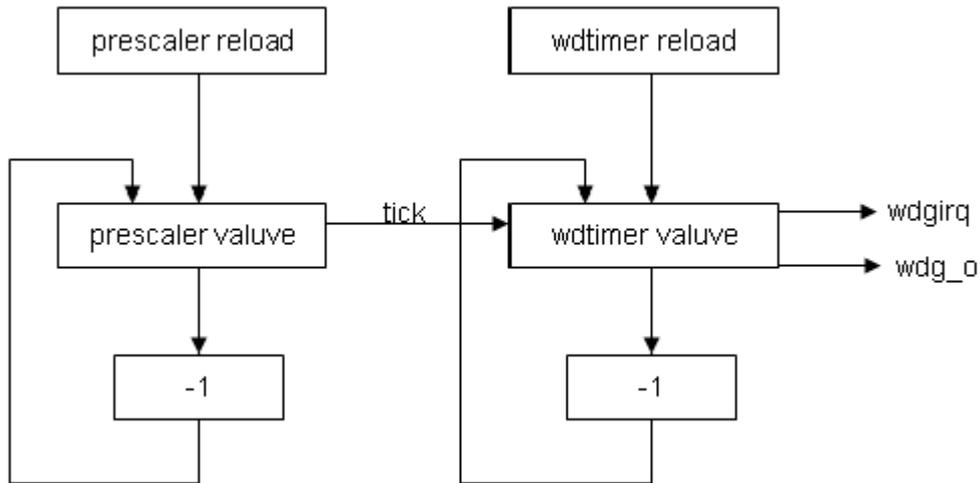


图 20-1 看门狗模块结构图

(注：芯片的看门狗复位信号输出引脚 wdg-o 为 OD 引脚)

预分频计数器 prescaler 在系统时钟信号的驱动下，进行递减 1 的动作，每次递减到全 0 时，输出一个脉冲 tick 给定时器 wdtimer，同时自动重新载入寄存器 prescaler\_reload 的值，继续计数。

若 control 寄存器的 ENABLE=1，则 wdtimer 被使能(起始计数值为 wdog\_value 寄存器的值)，其在 tick 的驱动下，进行递减 1 的动作，若递减到全 0，则：

- 若 control 寄存器的 IRQEN=1，则输出中断请求信号，将 irq 置高，直到系统被复位或看门狗被软件重置或关闭；若 control 寄存器的 IRQEN=0，则无中断输出；
- wdg-o 输出低电平，直到系统被复位或看门狗被软件重置或关闭；

### 定时长度计算方法：

由看门狗计数值寄存器 WDOG\_VALUE 和预分频计数值寄存器 PRESCALER\_VALUE 的只可以计算出看门狗定时长度 T 为：

$$T = [(\text{PRESCALER\_VALUE} + 1) \times (\text{WDOG\_VALUE} + 1)] \div F_{\text{sysclk}} \quad (\text{式 20-1})$$

其中：F<sub>sysclk</sub>：系统时钟频率，单位 Hz。T 单位为秒。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 39 页 共 139 页

## 20.2 寄存器设置

表 20-1 处理器中看门狗模块寄存器

寄存器	地址(0x)	读/写	有效位宽	描述
wdg_control	800000F0	R/W	2	控制寄存器
wdg_feed	800000F4	W	1	“喂狗”命令寄存器
wdg_status	800000F4	R	1	状态寄存器
wdg_cnt	800000F8	W	32	看门狗计数值寄存器
wdg_current	800000F8	R	32	看门狗计数器当前值寄存器
wdg_prescaler	800000FC	R/W	16	预分频计数值寄存器

表 20-2 处理器中看门狗模块控制寄存器

位	位名称	位描述	默认值
31:2	—	未用，读出值总为 0。	—
1	IRQEN	看门狗中断输出使能寄存器： • 1: 使能； • 0: 关闭。	0
0	ENABLE	看门狗定时器使能控制使能/关闭： • 0: 看门狗关闭； • 1: 看门狗使能。	0

表 20-3 处理器中看门狗模块“喂狗”命令寄存器

位	位名称	位描述	默认值
31:1	—	未用，读出值总为 0。	—
0	FEED	看门狗重置命令。 往该位写入 1 (即图 3-1 中的 wdtimer reload 操作)，可以使看门狗定时器立即载入 wdog_value 寄存器的值并重新继续计数，同时还可以清除 wdgirq 和 wdg_o 上的有效状态，将它们重置。 往该位写入 0，没有任何作用。	0

表 20-4 处理器中看门狗模块状态寄存器

位	位名称	位描述	默认值
31:1	—	未用，读出值总为 0。	—

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 40 页 共 139 页

位	位名称	位描述	默认值
0	BARK	看门狗状态： <ul style="list-style-type: none"> <li>• 1: 看门狗已经“狗叫”，wdogn 引脚此时一定为低电平状态；</li> <li>• 0: 看门狗没有“狗叫”，wdogn 引脚此时一定为高电平状态。</li> </ul>	0

表 20-5 处理器中看门狗模块计数值寄存器

位	位名称	位描述	默认值
31: 0	WDOG_VALUE	看门狗计数值设置寄存器。	0xFFFFFFFF

表 20-6 处理器中看门狗模块当前计数值寄存器

位	位名称	位描述	默认值
31: 0	CURRENT_VALUE	看门狗计数值当前值寄存器。	0xFFFFFFFF

表 20-7 处理器中看门狗模块预分频计数值寄存器

位	位名称	位描述	默认值
31: 16	—	未用，读出值总为 0。	—
15: 0	PRESCALER_VALUE	看门狗预分频计数值。	0xFFFF

## 20.3 看门狗模块中断

表 20-8 处理器中看门狗模块中断分配表

看门狗模块中断	中断控制器	中断号
看门狗	一级中断	12

当看门狗定时器溢出（即“狗叫”时），若控制寄存器的中断控制位 IRQEN=1，则中断输出信号为高，直到系统被复位或看门狗被软件“喂狗”或看门狗被关闭。

## 21 专用定时器

在处理器中集成两个专用定时器模块 timerx0 和 timerx1，它们是 32 位的定时器。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 41 页 共 139 页

## 21.1 模块结构及工作原理

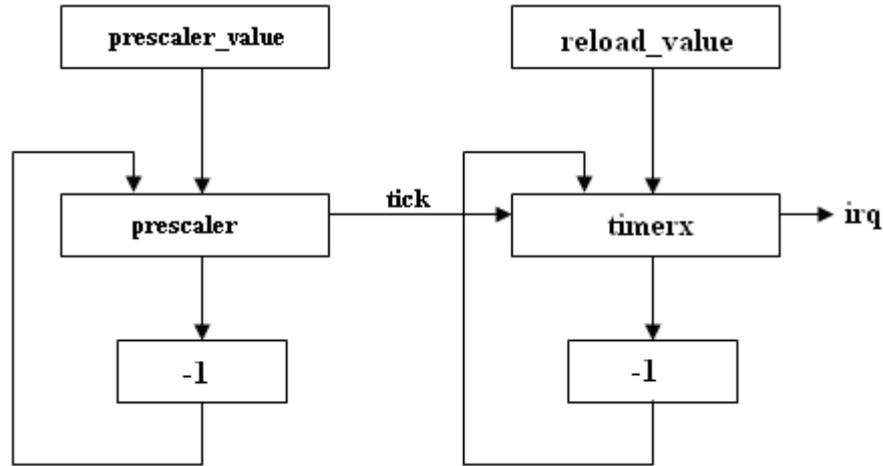


图 21-1 专用定时器模块结构图

预分频计数器 prescaler 在系统时钟信号 sysclk 的驱动下，进行递减 1 的动作，每次递减到全 0 时，输出一个脉冲 tick 给专用定时器 timerx。当预分频计数器 prescaler 减到 0 时，会重新载入寄存器 prescaler-value 寄存器的值，继续递减计数。

若 timerx 的 control 寄存器的 enable = 1，则 timerx 被使能，开始计数（起始计数值为 counter-value 寄存器的值），在 tick 的驱动下，timerx 进行递减 1 的计数动作，直到递减到全 0。从开始计数到递减到 0，期间时间长度  $T_1$  如式 16-1 所示（单位：秒）：

$$T_1 = [(\text{prescaler\_value} + 1) \times (\text{counter\_value} + 1)] \div F_{\text{sysclk}} \quad (\text{式 21-1})$$

其中：  $F_{\text{sysclk}}$ ：系统时钟频率，单位 Hz。

若递减到全 0，则：

- 将 irq 置高一个系统时钟宽度的时间；
- 若 control 寄存器的 reload-enable = 1，timerx 将重新载入 reload-value 的值继续递减计数，直到再次递减到 0。从上次递减到 0 到再次递减到 0 的时间  $T_2$  如式 21-2 所示（单位：秒）；
- 若 control 寄存器的 reload-enable = 0，timerx 将停止计数，并将 control 寄存器的 enable 置 0；

$$T_2 = [(\text{prescaler\_value} + 1) \times (\text{reload\_value} + 1)] \div F_{\text{sysclk}} \quad (\text{式 21-2})$$

其中：  $F_{\text{sysclk}}$ ：系统时钟频率，单位 Hz。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 42 页 共 139 页

## 21.2 寄存器设置

表 21-1 处理器中专用定时器模块寄存器设置

寄存器名称	描述	地址 (0x)	位宽	访问方式	默认值
tmx0_control	timerx0 控制寄存器	800000D0	4: 0	W/R	0
tmx0_counter_value	timerx0 定时器起始计数值	800000D4	31: 0	W/R	0
tmx0_reload_value	timerx0 定时器重载计数值	800000D8	31: 0	W/R	0
tmx0_prescaler_value	timerx0 时钟预分频计数值	800000DC	15: 0	W/R	0
tmx1_control	timerx1 控制寄存器	800000E0	4: 0	W/R	0
tmx1_counter_value	timerx1 定时器起始计数值	800000E4	31: 0	W/R	0
tmx1_reload_value	timerx1 定时器重载计数值	800000E8	31: 0	W/R	0
tmx1_prescaler_value	timerx1 时钟预分频计数值	800000EC	15: 0	W/R	0

表 21-2 处理器中专用定时器模块控制寄存器定义

位	位名称	描述	访问方式	默认值
3	force_load	强行重载命令: 1: 写入 1, 强行给定时器重载 reload_value 值再运行; 0: 写入 0, 无意义。	W 读值为 0	0
2	reload_enable	定时器重载使能控制: 1: 定时器溢出后重新载入 reload_value 值再运行; 0: 定时器溢出后停止, bit0(enable) 同时会自动清零。	W/R	0
1	irq_enable	定时溢出中断使能控制: 1: 定时器计数溢出时输出中断; 0: 定时器计数溢出时不输出中断。	W/R	0
0	enable	定时器使能控制: 1: 使能; 0: 关闭。	W/R	0

表 21-3 处理器中专用定时器起始计数值寄存器定义

位	位名称	描述	访问方式	默认值
31: 0	counter_value	专用定时器起始计数值。	W/R	0

表 21-4 处理器中专用定时器起重载计数值寄存器定义

位	位名称	描述	访问方式	默认值
31: 0	reload_value	专用定时器重载计数值。	W/R	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 43 页 共 139 页

表 21-5 处理器中专用定时器预分频计数值寄存器定义

位	位名称	描述	访问方式	默认值
31:0	prescaler_value	通用定时器预分频计数值	W/R	0

## 22 多功能 I0 接口 MFIO

处理器芯片片内集成通用“多功能 I0 接口 MFIO 模块”，其总的通路数为 16 路，各路的方向可以软件独立配置，各路均可以输出周期、占空比、极性、脉冲数目等参数可调的 PWM 信号，各路还具有输入脉冲计数功能。I0 接口 MFIO 的驱动能力为 16mA。

- 处理器的“多功能 I0 接口 MFIO”有 3 种输出模式：
  - 电平模式：输出高或低电平；
  - 一定数目的 PWM 脉冲波形：输出周期、占空比、极性、脉冲数目可调；
  - 连续不断的 PWM 脉冲波形：输出周期、占空比、极性可调；
- 处理器的“多功能 I0 接口 MFIO”的输入模式：
  - 通过读取“当前电平状态寄存器”，即可获取 MFIO 口的当前电平状态；
  - 输入脉冲计数功能；

### 22.1 多功能 I0 接口 MFIO 结构

每一路的 I0 口结构都相同，有 4 个端口，如图 22-1 所示：

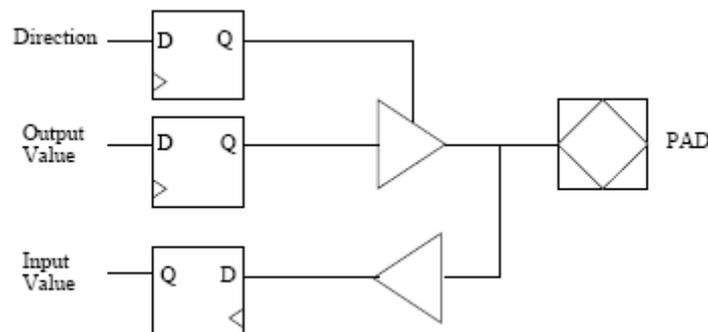


图 22-1 多功能 I0 接口的结构图

- PAD: 连接芯片的引脚；
- Direction: 方向控制信号，0 表示输入，1 表示输出；
- Output value: 输出信号；

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 44 页 共 139 页

➤ Input value: 输入信号;

## 22.2 多功能 IO 接口 MFIO 输出功能

每路 IO 口均有的各自的三个寄存器（配置寄存器 CONFIG、周期寄存器 CYCLE、占空比寄存器 DUTY）来设置自己的输出特性，其中：

- **IO 口的方向：**由配置寄存器 CONFIG 的 bit[0] 来设置。
  - 若 CONFIG[0]=0: 表示输入;
  - 若 CONFIG[0]=1: 表示输出;
- **输出有效电平：**由配置寄存器 CONFIG 的 bit[1] 来设置。
  - 若 CONFIG[1]=0: 表示输出有效电平为低;
  - 若 CONFIG[1]=1: 表示输出有效电平为高;
- **输出模式：**由配置寄存器 CONFIG 的 bit[3:2] 来设置。
  - 若 CONFIG[3:2]=00: 电平输出方式;
  - 若 CONFIG[3:2]=10: 连续脉冲输出方式，即连续不断输出脉冲信号，直到被停止;
  - 若 CONFIG[3:2]=11: 定量脉冲输出方式，即输出一定数量的脉冲信号，所有脉冲输出完后，自动停止;
  - 若 CONFIG [3:2]=01: 保留;
- **输出中断使能：**由中断使能控制寄存器 IRQ-EN 的相应来设置（在中断使能控制寄存器 IRQ-EN 中，每一路 IO 口均有对应的一位来控制中断的使能或屏蔽）。
  - 若 IRQ-EN[n]=0: 不产生中断请求（n=0、1、2...15）;
  - 若 IRQ-EN[n]=1: 表示在“定量脉冲”输出方式下，当所有脉冲全部输出完时，将产生中断请求;
- **“定量脉冲”输出方式下脉冲个数：**由配置寄存器 CONFIG 的 bit[31:12] 来设置。
  - 若 CONFIG[31:12]=0x00000: 输出脉冲个数为 1;
  - 若 CONFIG[31:12]=0x00001: 输出脉冲个数为 2;
  - 若 CONFIG[31:12]=0x00002: 输出脉冲个数为 3;
  - ... ..
  - 若 CONFIG[31:12]=0xfffff: 输出脉冲个数为 1,048,576;

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 45 页 共 139 页

- “定量/连续脉冲”输出方式下脉冲信号周期：由周期寄存器 CYCLE 来设置。
  - 若 CYCLE[31:0]=0x00000000：非法值（CYCLE 必须不小于 1，对应输出脉冲周期必须不小于 2 个 APB 时钟周期）；
  - 若 CYCLE[31:0]=0x00000001：输出脉冲周期为 2 个 APB 时钟周期；
  - 若 CYCLE[31:0]=0x00000002：输出脉冲周期为 3 个 APB 时钟周期；
  - ……
  - 若 CYCLE[31:0]=0xffffffff：输出脉冲周期为 4,294,967,296 个 APB 时钟周期；
- “定量/连续脉冲”输出方式下脉冲信号占空比：由周期寄存器 DUTY 来设置。
  - 若 DUTY[31:0]=0x00000000：输出脉冲有效电平的宽度为 1 个 APB 时钟周期；
  - 若 DUTY[31:0]=0x00000001：输出脉冲有效电平的宽度为 2 个 APB 时钟周期；
  - 若 DUTY[31:0]=0x00000002：输出脉冲有效电平的宽度为 3 个 APB 时钟周期；
  - ……
  - 若 DUTY[31:0]=0xffffffffe：输出脉冲周期为 4,294,967,295 个 APB 时钟周期；
  - 若 DUTY[31:0]=0xffffffff：非法值（DUTY 必须小于 0xffffffff，对应输出脉冲占空比必须小于 4,294,967,296 个 APB 时钟周期）；
- **输出启动控制方式**：由 IO 口配置信息更新寄存器 CFG\_UPDATA 来设置。
  - CFG\_UPDATA 寄存器的 bit[31:16]保留，bit[15:0]有效，分别对应 16 个 IO 口；
  - 往 CFG\_UPDATA 寄存器 bit[15:0]的某位或某些位写入 1，即可将相应的 IO 的状态更新为由各自配置寄存器、周期寄存器、占空比寄存器所描述的状态；
  - 这种将 16 个 IO 的输入输出启动控制（即配置信息更新控制）集中在同一个寄存器中进行操作的做法的主要目的是为了在某些 IO 中**同步**输出一定特性的波形。比如，我们想要在 0~5 号 IO 口上输出严格同步的 PWM 波形，以往的做法是向依次设置单个 IO 口的配置信息，然后再一个接一个地启动输出，这必然导致输出的挨个延时，达不到严格同步的要求。若采用本设计中的集中式控制，各个 IO 口的配置信息初始化后，用户只需将 CFG\_UPDATA 寄存器的 bit[5:0]置 1 即可，由于各位置 1 的操作是同步的，故个 IO 口的输出将严格同步；
  - 任何的期望改变 IO 口输入输出状态（如改变方向、改变有效电平、改变周期或占空比等）的均需分两步进行，第一步根据需要改写 IO 口的配置寄存器 CONFIG、周

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 46 页 共 139 页

期寄存器 CYCLE 或占空比寄存器 DUTY；第二部，往 CFG\_UPDATA 寄存器的相应位写入 1；

若要在某个或某些 IO 口上输出某种波形，需要按照如下步骤进行：

- (1) 根据需要改写 IO 口的配置寄存器 CONFIG、周期寄存器 CYCLE 或占空比寄存器 DUTY；
- (2) 往 CFG\_UPDATA 寄存器的相应位写入 1，使得新的配置信息生效（即开始输出）；
- (3) 若为“定量脉冲”输出模式，可以通过查询输出结束寄存器 OUTPUT\_DONE 的相应位来检测输出是否结束。
- (4) 若为“连续脉冲”输出模式，输出一旦启动后，将持续到被再次更新配置信息为止（即 CFG\_UPDATA 寄存器的相应位被写入 1）。

IO 口在各种模式下的输出波形如图 22-2 所示：

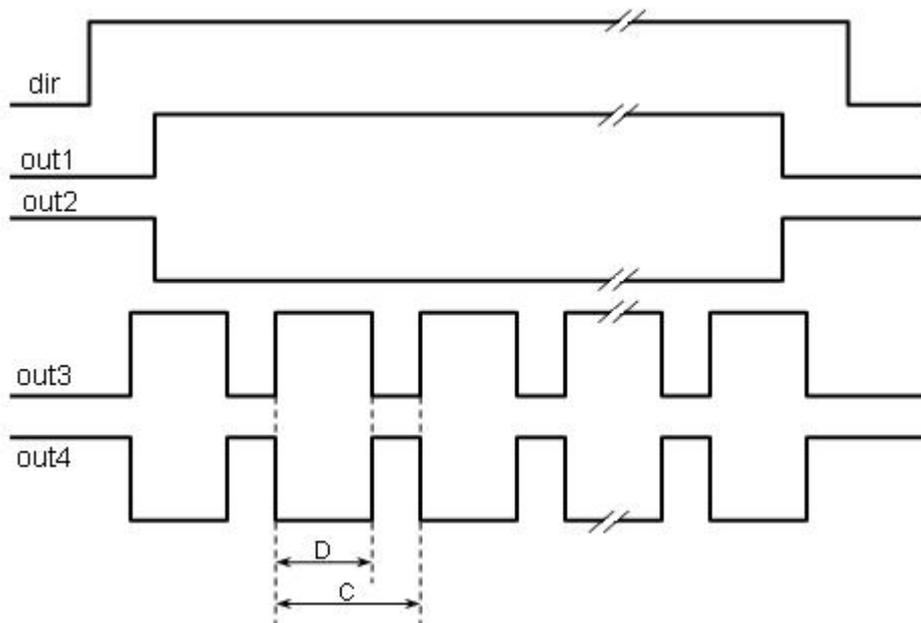


图 22-2 IO 口的输出波形

- 图中 dir 表示 IO 口的方向，在此为 1，表示输出；
- 图中 out1 波形为电平输出模式，且有效电平为高（ACTIVE\_LEVEL=1）；
- 图中 out2 波形为电平输出模式，且有效电平为低（ACTIVE\_LEVEL=0）；
- 图中 out3 波形为脉冲输出（连续或定量）模式，且有效电平为高（ACTIVE\_LEVEL=1）；
- 图中 out4 波形为脉冲输出（连续或定量）模式，且有效电平为低（ACTIVE\_LEVEL=0）；
- 图中 C 表示脉冲的周期 CYCLE（本设计中，脉冲周期采用 APB 时钟个数来表示）；
- 图中 D 表示脉冲的占空比 DUTY（本设计中，占空比不用传统的百分比表示，而是采

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 47 页 共 139 页

用 APB 时钟个数来表示，其代表的是一个脉冲周期中，有效电平的宽度)；

### 22.3 多功能 I0 接口 MFIO 输入功能

多功能 I0 接口有两种输入功能：

- 电平获取：不论何时，只需通过读取“当前电平状态寄存器”，即可获取所有 I0 口的当前电平状态（注：不论在输入还是输出模式，该功能均有效）；
- 输入脉冲计数功能：若某 I0 在输入模式下（即配置寄存器的 bit0=0），且其输入脉冲计数器被使能（即配置寄存器的 bit4=0），即可以对输入该 I0 口的脉冲信号进行计数。
  - 计数值范围：0x0 ~ 0xffffffff；
  - 输入脉冲信号宽度：为了防止干扰信号引起计数器误动作，设计中加入了信号滤波模块，凡是宽度小于 8 个 APB 时钟周期的信号跳变将被滤除。所以只有宽度不小于 8 个 APB 时钟周期的脉冲才会触发计数器“加 1”动作；
  - 脉冲极性：计数器实际上计算的是经过滤波后的信号上升沿的个数，因此对输入脉冲的极性（或称电平特性）无要求，正负脉冲均可，只要宽度满足要求即可；

### 22.4 多功能 I0 接口 MFIO 模块寄存器设置

表 22-1 MFIO 模块寄存器列表

寄存器名称	地址(0x)	读/写	默认值(0x)	寄存器描述
current_level	80010000	R	---	I0 口当前电平状态寄存器
cfg_update	80010004	W	---	I0 口配置信息更新命令寄存器
status	80010004	R	00000000	I0 口状态寄存器
irq_enable	80010008	W/R	00000000	中断使能控制寄存器
incnt_latch_clear	8001000C	W	---	I0 脉冲输入计数器锁存/清零寄存器
config_0	80010010	W/R	ffffff00	第 0 路 I0 口配置寄存器
cycle_0	80010014	W/R	fffffff	第 0 路 I0 口输出脉冲周期寄存器
duty_0	80010018	W/R	fffffff	第 0 路 I0 口输出脉冲占空比寄存器
incounter_0	8001001C	R	00000000	第 0 路 I0 口输入脉冲计数值寄存器
config_1	80010020	W/R	ffffff00	第 1 路 I0 口配置寄存器
cycle_1	80010024	W/R	fffffff	第 1 路 I0 口输出脉冲周期寄存器
duty_1	80010028	W/R	fffffff	第 1 路 I0 口输出脉冲占空比寄存器
incounter_1	8001002C	R	00000000	第 1 路 I0 口输入脉冲计数值寄存器

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 48 页 共 139 页

寄存器名称	地址 (0x)	读/写	默认值 (0x)	寄存器描述
config_2	80010030	W/R	ffffff000	第 2 路 IO 口配置寄存器
cycle_2	80010034	W/R	fffffff	第 2 路 IO 口输出脉冲周期寄存器
duty_2	80010038	W/R	fffffff	第 2 路 IO 口输出脉冲占空比寄存器
incounter_2	8001003C	R	00000000	第 2 路 IO 口输入脉冲计数值寄存器
config_3	80010040	W/R	ffffff000	第 3 路 IO 口配置寄存器
cycle_3	80010044	W/R	fffffff	第 3 路 IO 口输出脉冲周期寄存器
duty_3	80010048	W/R	fffffff	第 3 路 IO 口输出脉冲占空比寄存器
incounter_3	8001004C	R	00000000	第 3 路 IO 口输入脉冲计数值寄存器
config_4	80010050	W/R	ffffff000	第 4 路 IO 口配置寄存器
cycle_4	80010054	W/R	fffffff	第 4 路 IO 口输出脉冲周期寄存器
duty_4	80010058	W/R	fffffff	第 4 路 IO 口输出脉冲占空比寄存器
incounter_4	8001005C	R	00000000	第 4 路 IO 口输入脉冲计数值寄存器
config_5	80010060	W/R	ffffff000	第 5 路 IO 口配置寄存器
cycle_5	80010064	W/R	fffffff	第 5 路 IO 口输出脉冲周期寄存器
duty_5	80010068	W/R	fffffff	第 5 路 IO 口输出脉冲占空比寄存器
incounter_5	8001006C	R	00000000	第 5 路 IO 口输入脉冲计数值寄存器
config_6	80010070	W/R	ffffff000	第 6 路 IO 口配置寄存器
cycle_6	80010074	W/R	fffffff	第 6 路 IO 口输出脉冲周期寄存器
duty_6	80010078	W/R	fffffff	第 6 路 IO 口输出脉冲占空比寄存器
incounter_6	8001007C	R	00000000	第 6 路 IO 口输入脉冲计数值寄存器
config_7	80010080	W/R	ffffff000	第 7 路 IO 口配置寄存器
cycle_7	80010084	W/R	fffffff	第 7 路 IO 口输出脉冲周期寄存器
duty_7	80010088	W/R	fffffff	第 7 路 IO 口输出脉冲占空比寄存器
incounter_7	8001008C	R	00000000	第 7 路 IO 口输入脉冲计数值寄存器
config_8	80010090	W/R	ffffff000	第 8 路 IO 口配置寄存器
cycle_8	80010094	W/R	fffffff	第 8 路 IO 口输出脉冲周期寄存器
duty_8	80010098	W/R	fffffff	第 8 路 IO 口输出脉冲占空比寄存器
incounter_8	8001009C	R	00000000	第 8 路 IO 口输入脉冲计数值寄存器
config_9	800100A0	W/R	ffffff000	第 9 路 IO 口配置寄存器
cycle_9	800100A4	W/R	fffffff	第 9 路 IO 口输出脉冲周期寄存器
duty_9	800100A8	W/R	fffffff	第 9 路 IO 口输出脉冲占空比寄存器
incounter_9	800100AC	R	00000000	第 9 路 IO 口输入脉冲计数值寄存器
config_10	800100B0	W/R	ffffff000	第 10 路 IO 口配置寄存器
cycle_10	800100B4	W/R	fffffff	第 10 路 IO 口输出脉冲周期寄存器
duty_10	800100B8	W/R	fffffff	第 10 路 IO 口输出脉冲占空比寄存器
incounter_10	800100BC	R	00000000	第 10 路 IO 口输入脉冲计数值寄存器

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 49 页 共 139 页

寄存器名称	地址 (0x)	读/写	默认值 (0x)	寄存器描述
config_11	800100C0	W/R	ffffff000	第 11 路 IO 口配置寄存器
cycle_11	800100C4	W/R	fffffff	第 11 路 IO 口输出脉冲周期寄存器
duty_11	800100C8	W/R	fffffff	第 11 路 IO 口输出脉冲占空比寄存器
incounter_11	800100CC	R	00000000	第 11 路 IO 口输入脉冲计数值寄存器
config_12	800100D0	W/R	ffffff000	第 12 路 IO 口配置寄存器
cycle_12	800100D4	W/R	fffffff	第 12 路 IO 口输出脉冲周期寄存器
duty_12	800100D8	W/R	fffffff	第 12 路 IO 口输出脉冲占空比寄存器
incounter_12	800100DC	R	00000000	第 12 路 IO 口输入脉冲计数值寄存器
config_13	800100E0	W/R	ffffff000	第 13 路 IO 口配置寄存器
cycle_13	800100E4	W/R	fffffff	第 13 路 IO 口输出脉冲周期寄存器
duty_13	800100E8	W/R	fffffff	第 13 路 IO 口输出脉冲占空比寄存器
incounter_13	800100EC	R	00000000	第 13 路 IO 口输入脉冲计数值寄存器
config_14	800100F0	W/R	ffffff000	第 14 路 IO 口配置寄存器
cycle_14	800100F4	W/R	fffffff	第 14 路 IO 口输出脉冲周期寄存器
duty_14	800100F8	W/R	fffffff	第 14 路 IO 口输出脉冲占空比寄存器
incounter_14	800100FC	R	00000000	第 14 路 IO 口输入脉冲计数值寄存器
config_15	80010100	W/R	ffffff000	第 15 路 IO 口配置寄存器
cycle_15	80010104	W/R	fffffff	第 15 路 IO 口输出脉冲周期寄存器
duty_15	80010108	W/R	fffffff	第 15 路 IO 口输出脉冲占空比寄存器
incounter_15	8001010C	R	00000000	第 15 路 IO 口输入脉冲计数值寄存器

表 22-2 MFIO 模块当前电平寄存器 CURRENT\_LEVEL

位	位名称	位描述	默认值
31:16	—	保留未用，读值总为 0。	—
15	GPIO_LEVEL[15]	第 15 路 IO 口当前电平状态： • 0: 低电平； • 1: 高电平。	—
...	...	...	—
1	GPIO_LEVEL[1]	第 1 路 IO 口当前电平状态： • 0: 低电平； • 1: 高电平。	—
0	GPIO_LEVEL[0]	第 0 路 IO 口当前电平状态： • 0: 低电平； • 1: 高电平。	—

注：无论 IO 口是处于输入还是输出状态，只要读取此寄存器的值，均可获取所有 IO 口的当前电平状态。

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 50 页 共 139 页

表 22-3 MFIO 模块 IO 口配置信息更新命令寄存器 CFG\_UPDATE

位	位名称	位描述	默认值
31:16	—	保留未用。	—
15	CFG_UPDT[15]	第 15 路 IO 口配置信息更新命令： • 写入 0：无意义； • 写入 1：更新配置信息。	—
...	...	...	—
1	CFG_UPDT[1]	第 1 路 IO 口配置信息更新命令： • 写入 0：无意义； • 写入 1：更新配置信息。	—
0	CFG_UPDT[0]	第 0 路 IO 口配置信息更新命令： • 写入 0：无意义； • 写入 1：更新配置信息。	—

该寄存器为只写寄存器；

凡是 IO 口的配置信息变化后，必须要将本寄存器的相应位写入 1 才可以使等配置更改有效（即改变输入/输出状态）。

表 22-4 MFIO 模块 IO 口状态寄存器 STATUS

位	位名称	位描述	默认值
31	INCNT_OVERRUN[15]	输入脉冲计数工作方式下，第 15 路 IO 口脉冲计数器溢出状态： • 0：计数器未溢出； • 1：计数器溢出。	0
...	...	...	0
16	INCNT_OVERRUN[0]	输入脉冲计数工作方式下，第 0 路 IO 口脉冲计数器溢出状态： • 0：计数器未溢出； • 1：计数器溢出。	0
15	OUT_DONE[15]	定量脉冲输出方式下，第 15 路 IO 口输出结束状态： • 0：未结束； • 1：输出结束。	0
...	...	...	0
1	OUT_DONE[1]	定量脉冲输出方式下，第 1 路 IO 口输出结束状态： • 0：未结束； • 1：输出结束。	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 51 页 共 139 页

位	位名称	位描述	默认值
0	OUT_DONE[0]	定量脉冲输出方式下，第 0 路 IO 口输出结束状态： <ul style="list-style-type: none"> <li>• 0: 未结束；</li> <li>• 1: 输出结束。</li> </ul>	0
该寄存器为只读寄存器，且被读后该寄存器会自动清零。			

表 22-5 MFIO 模块 IO 口中断使能控制寄存器 IRQ-ENABLE

位	位名称	位描述	默认值
31:16	—	保留未用，读值总为 0。	0
15	IRQ-EN[15]	第 15 路 IO 口中断使能控制： <ul style="list-style-type: none"> <li>• 0: 中断屏蔽；</li> <li>• 1: 中断使能。</li> </ul> 中断使能时，若本 IO 口的“脉冲计数器溢出”状态或“定量脉冲输出结束”状态任一个有效，均会触发中断。	0
...	...	...	0
1	IRQ-EN[1]	第 1 路 IO 口中断使能控制： <ul style="list-style-type: none"> <li>• 0: 中断屏蔽；</li> <li>• 1: 中断使能。</li> </ul> 中断使能时，若本 IO 口的“脉冲计数器溢出”状态或“定量脉冲输出结束”状态任一个有效，均会触发中断。	0
0	IRQ-EN[0]	第 0 路 IO 口中断使能控制： <ul style="list-style-type: none"> <li>• 0: 中断屏蔽；</li> <li>• 1: 中断使能。</li> </ul> 中断使能时，若本 IO 口的“脉冲计数器溢出”状态或“定量脉冲输出结束”状态任一个有效，均会触发中断。	0
16 路的中断可以独立配置，输出时，16 路的中断分量合成后一个中断信号，送到一级中断控制器的 6 号中断上。			

表 22-6 MFIO 模块 IO 口输入脉冲计数器锁存/清零寄存器 INCNT-LATCH-CLEAR

位	位名称	位描述	默认值
31	INCNT-CLR[15]	第 15 路 IO 口输入脉冲计数器清零命令： <ul style="list-style-type: none"> <li>• 写入 0: 无意义；</li> <li>• 写入 1: 清零计数器。</li> </ul>	—
...	...	...	—

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 52 页 共 139 页

位	位名称	位描述	默认值
17	INCNT_CLR [1]	第 1 路 IO 口输入脉冲计数器清零命令： • 写入 0: 无意义； • 写入 1: 清零计数器。	—
16	INCNT_CLR [0]	第 0 路 IO 口输入脉冲计数器清零命令： • 写入 0: 无意义； • 写入 1: 清零计数器。	—
15	INCNT_LTCH [15]	第 15 路 IO 口输入脉冲计数器锁存命令： • 写入 0: 无意义； • 写入 1: 将当前计数值锁存到对应的计数结果寄存器中。	—
...	...	...	—
1	INCNT_LTCH [1]	第 1 路 IO 口输入脉冲计数器锁存命令： • 写入 0: 无意义； • 写入 1: 将当前计数值锁存到对应的计数结果寄存器中。	—
0	INCNT_LTCH [0]	第 0 路 IO 口输入脉冲计数器锁存命令： • 写入 0: 无意义； • 写入 1: 将当前计数值锁存到对应的计数结果寄存器中。	—

该寄存器为只写。

表 22-7 MF10 模块 IO 口配置寄存器 CONFIG\_N(N=0、1、2...15)

位	位名称	位描述	默认值
31:12	NUMBER	定量脉冲输出方式下，欲输出的脉冲数量： 取值范围为 0x0 ~ 0xfffff； 对应的 IO 口输出脉冲个数分别为 0x1 ~ 0x100000。	全 1
11:5	—	保留未用，读值总为 0。	全 0
4	INCOUNTER_EN	IO 口输入脉冲计数器使能： • 0: 计数器屏蔽； • 1: 计数器使能。	0
3:2	OUTPUT_MODE	输出模式： • 00: 电平输出模式； • 01: 保留未用； • 10: 连续脉冲输出模式； • 11: 定量脉冲输出模式。	00
1	ACTIVE_LEVEL	IO 口有效电平： • 0: 低电平有效； • 1: 高电平有效。	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 53 页 共 139 页

位	位名称	位描述	默认值
0	DIRECTION	IO 口方向寄存器： • 0: 输入； • 1: 输出。	0
IO 口输入脉冲计数器只有在输入模式下（即 DIRECTION=0）才可以被使能。			

表 22-8 MFIO 模块 IO 口输出脉冲周期寄存器 CYCLE-N(N=0、1、2...15)

位	位名称	位描述	默认值
31:0	CYCLE	脉冲输出方式下，IO 口输出脉冲周期： 取值范围：0x1 ~ 0xffffffff； 对应的输出脉冲周期为 0x2 ~ 0x100000000 个 APB 时钟周期。	全 1
0x00000000 为非法值，CYCLE 的值必须大于或等于 1，对应输出脉冲周期大于或等于 2 个 APB 时钟周期； 周期 CYCLE 的值必须比占空比 DUTY 的值大，否则将无法输出脉冲。			

表 22-9 MFIO 模块 IO 口输出脉冲占空比寄存器 DUTY-N(N=0、1、2...15)

位	位名称	位描述	默认值
31:0	DUTY	脉冲输出方式下，IO 口输出脉冲占空比： 取值范围：0x0 ~ 0xfffffff； 对应的输出脉冲占空比为 0x1 ~ 0xfffffff 个 APB 时钟周期。	全 1
0xfffffff 为非法值，DUTY 必须小于 0xfffffff，对应输出脉冲占空比必须小于 0xfffffff 个 APB 时钟周期； 周期 CYCLE 的值必须比占空比 DUTY 的值大，否则将无法输出脉冲。			

表 22-10 MFIO 模块 IO 口输入脉冲计数值寄存器 INCOUNTER-N(N=0、1、2...15)

位	位名称	位描述	默认值
31:0	INCOUNTER	输入脉冲计数方式下，IO 口输入脉冲计数器的计数值： 取值范围：0x0 ~ 0xffffffff。	全 0
本寄存器中的值是前一次锁存操作后存入本寄存器中的 IO 口输入脉冲计数器的计数值； 往输入脉冲计数器锁存/清零寄存器 INCNT_LATCH_CLEAR 的相应锁存命令位 INCNT_LTCH[n] (n=0、1、2...15) 写入 1，可以将该 IO 口输入脉冲计数器的当前值锁存到本寄存器中； 往输入脉冲计数器锁存/清零寄存器 INCNT_LATCH_CLEAR 的相应清除命令位 INCNT_CLR[n] 写入 1，可以将该 IO 口输入脉冲计数器清零。清零后，只要计数器未被关闭，计数将从 0 开始，重新继续计数。清零操作不会改变本寄存器的值。			

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 54 页 共 139 页

## 23 ADC 模块

处理器芯片中集成 1 个 SAR（即 Successive Approximation Register，逐次逼近）型的模数转换模块，其具有如下主要特性：

- 内置 8 选 1 的多路选择器，可接 8 路外部模拟量输入；
- 分辨率：10bits；
- 转换速率：1MSPS；
- 参考电压  $V_{ref}$  范围：0.5V ~ 3.0V；计算机模块内部参考电压为：2.5V
- 被测模拟量的电压范围：0V ~  $V_{ref}$ ；
- 自身功耗：<3.3mW；
- 信号噪声失真比 SINAD：>57dB；
- 无杂散动态范围 SFDR：64dB；
- 有效比特数 ENOB：9.2；
- 积分非线性度 INL：<1.5LSB；
- 差分非线性度 DNL：<1LSB；

### 23.1 工作及操作过程

- (1) 唤醒，即往“控制寄存器 CTRL”的 bit0 写入 0；
- (2) 复位，即往“控制寄存器 CTRL”的 bit12 写入 1，bit8 ~ bit11 中写入复位脉冲信号宽度；
- (3) 等待复位结束，即“控制寄存器 CTRL”的 bit12 是否已经由 1 变为了 0；
- (4) 配置转换结束状态中断，即往“中断配置/状态寄存器 IRQ\_CFG\_STS”的 bit4 写入 1（使能）或 0（屏蔽）；
- (5) 选择待转换的通道，即往“通道选择寄存器 CHNL\_SEL” bit0 ~ bit2 中写入相应的值；
- (6) 启动转换，即往“控制寄存器 CTRL”的 bit20 写入 1，bit16 ~ bit19 中写入启动脉冲信号宽度；
- (7) 等待转换结束，即等待“中断配置/状态寄存器 IRQ\_CFG\_STS”的 bit0 变为 1；
- (8) 读取转换结果，及读取“转换结果寄存器 RESULT”的 bit0 ~ bit9；

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 55 页 共 139 页

- (9) 清除转换结束状态，即往“中断配置/状态寄存器 IRQ\_CFG\_STS”的 bit0 写入 1；
- (10) 休眠，即往“控制寄存器 CTRL”的 bit0 写入 1；

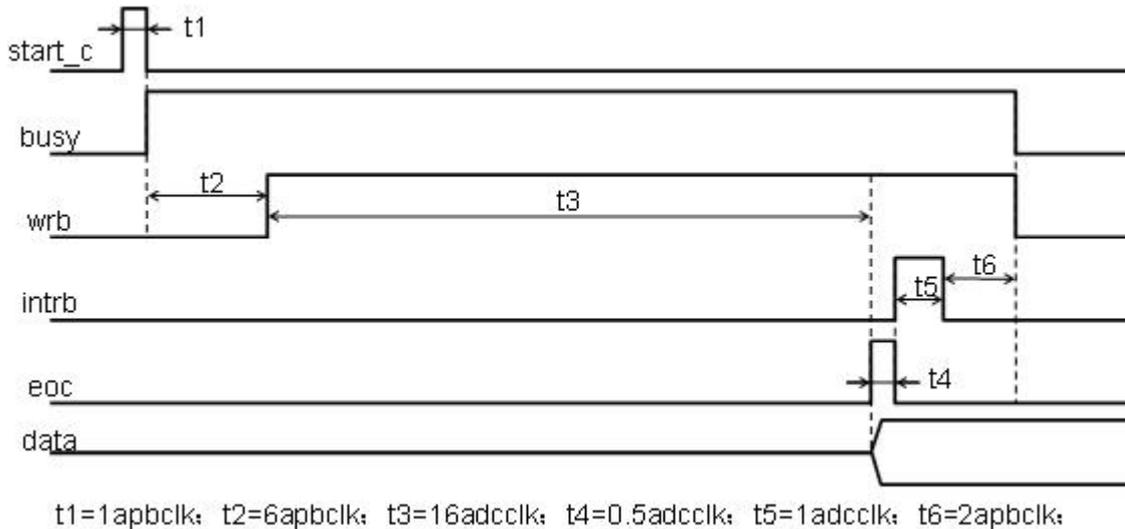


图 23-1 处理器芯片中 ADC 模块工作时序图

## 23.2 ADC 寄存器设置

表 23-1 处理器中 ADC 模块寄存器列表

寄存器名称	地址 (0x)	宽度	读/写	默认值 (0x)	描述
CTRL	80000140	32	W/R	00000001	控制寄存器
CHNL_SEL	80000144	32	W/R	00000000	模拟通道选择寄存器
IRQ_CFG_STS	80000148	32	W/R	00000000	中断配置/状态寄存器
RESULT	8000014C	32	R	00000000-	转换结果寄存器

表 23-2 处理器中 ADC 模块控制寄存器

位	名称	读/写	描述	默认值
31: 21	—	—	保留未用，读值总为 0。	—
20	start	w/r	启动转换： <ul style="list-style-type: none"> <li>• 1: 写入 1，启动转换；</li> <li>• 0: 写 0 无效。</li> </ul> 读取该位的状态，即可知道“启动转换”操作是否结束： <ul style="list-style-type: none"> <li>• 1: 启动进行中；</li> <li>• 0: 启动操作已经结束；</li> </ul>	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 56 页 共 139 页

位	名称	读/写	描述	默认值
19:16	start_width	w/r	启动转换脉冲信号宽度设置： ADC 模块要求启动转换信号宽度必须大于一个 ADC_CLK (16MHz) 时钟信号周期。 start_width 用来设置启动转换信号宽度，当 start_width=0~15 时，对应启动转换信号的宽度为 1~16 个 apb 时钟周期。	0000
15:13	—	—	保留未用，读值总为 0。	—
12	reset	w/r	复位命令： <ul style="list-style-type: none"> <li>• 1: 写入 1，复位 ADC 模块；</li> <li>• 0: 写 0 无效。</li> </ul> 读取该位的状态，即可知道“复位”操作是否结束： <ul style="list-style-type: none"> <li>• 1: 复位进行中；</li> <li>• 0: 复位操作已经结束；</li> </ul>	0
11:8	reset_width	w/r	复位脉冲信号宽度设置： <ul style="list-style-type: none"> <li>• ADC 模块要求复位信号宽度必须大于一个 ADC_CLK (16MHz) 时钟信号周期。</li> <li>• rst_width 用来设置复位信号宽度，当 rst_width=0~15 时，对应复位信号的宽度为 1~16 个 apb 时钟周期。</li> </ul>	0000
7:1	—	—	保留未用，读值总为 0。	—
0	sleep	w/r	休眠/唤醒控制： <ul style="list-style-type: none"> <li>• 0: 唤醒；</li> <li>• 1: 休眠。</li> </ul>	1

表 23-3 处理器中 ADC 模块模拟通道选择寄存器

位	名称	读/写	描述	默认值
31:3	—	—	保留未用，读值总为 0。	—
2:0	chnl_sel	w/r	设置被转换的模拟信号输入通道： <ul style="list-style-type: none"> <li>• 000: 通道 0；</li> <li>• 001: 通道 1；</li> <li>• ...</li> <li>• 111: 通道 7；</li> </ul>	000

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 57 页 共 139 页

表 23-4 处理器中 ADC 模块中断配置/状态寄存器

位	名称	读/写	描述	默认值
31:5	—	—	保留未用，读值总为 0。	—
4	irq-en	w/r	转换结束状态中断配置： • 0: 中断屏蔽； • 1: 中断使能。	0
3:1	—	—	保留未用，读值总为 0。	—
0	eoc-status	w/r	转换结束状态： • 0: 读值为 0，无意义； • 1: 读值为 1，表示最近启动的转换已经结束； • 往该位写入 1，可以将转换结束状态状态清零； • 往该位写入 0，无意义；	0

表 23-5 处理器中 ADC 模块转换结果寄存器

位	名称	读/写	描述	默认值
31:10	—	—	保留未用，读值总为 0。	—
0:9	result	r	转换结果。 $result = (\text{被测模拟量的电压} / \text{参考电压}) * 1023$	—

## 24 DAC 模块

处理器芯片中集成一个**电流驱动型**的数模转换模块(DAC)，其内部包含 4 个独立的输出通道，各通道的技术特征、工作过程以及操作方法均相同。本 DAC 具有如下主要特征：

- 输出通道数量：4；
- 各通道分辨率：10bits；
- 最高转换速率：100MHz；
- 各通道输出电压范围：0~3.3V；
- 各通道最大输出电流：34.1mA；
- 积分非线性度 INL：<1.5LSB；
- 差分非线性度 DNL：<1LSB；

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 58 页 共 139 页

## 24.1 工作及操作过程

- 唤醒：即往相应“控制寄存器 CTRL”的 bit12 写入 0；
- 休眠：即往相应“控制寄存器 CTRL”的 bit12 写入 1；
- 输出：(1) 唤醒；(2) 往“控制寄存器 CTRL”的 out 域（即 bit[9:0]）写入相应数值，具体的计算方法如式 24-1 所示。

$$I_{out} = 34.1 \times \frac{D}{1023} \quad (\text{式 24-1})$$

其中： $I_{out}$  为欲输出的电流值，单位 mA；

$D$  为该通道控制寄存器 out 域换算成十进制的值；

## 24.2 DAC 寄存器设置

表 24-1 处理器中 DAC 模块寄存器列表

寄存器名称	地址(0x)	有效宽度	读/写	默认值(0x)	描述
CTRL1	80000150	32	W/R	00001000	通道 1 控制寄存器
CTRL2	80000154	32	W/R	00001000	通道 2 控制寄存器
CTRL3	80000158	32	W/R	00001000	通道 3 控制寄存器
CTRL4	8000015C	32	W/R	00001000	通道 4 控制寄存器

表 24-2 处理器中 DAC 通道控制寄存器

位	名称	读/写	描述	默认值
31:13	—	—	保留未用，读值总为 0。	—
12	sleep	w/r	通道休眠控制： • 1: 通道休眠（关闭）； • 0: 通道唤醒（使能）。	1
11:10	—	—	保留未用，读值总为 0。	—
9:0	out	w/r	输出幅值设置，0~1023 档。	0

## 25 CAN 总线控制器

处理器内集成 2 个 CAN 总线控制器模块，它实现了 CAN 2.0B 协议，支持 BasicCAN 和 Pelican 模式，这两种模式可以通过时钟分频寄存器选择。在 BasicCAN 和 Pelican 两种模式下寄存器的映射有所不同。CAN 控制器共有 32 个寄存器，偏移地址分别为 0~31。两个 CAN 的基地址分别为

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 59 页 共 139 页

0x80000180 和 0x80000200。IU 对 CAN 控制器的所有操作都是通过访问其内部的寄存器实现的。

## 25.1 结构框图

CAN 控制器主要由寄存器、位定时逻辑和位流处理器 3 个模块组成，如图 25-1 所示。

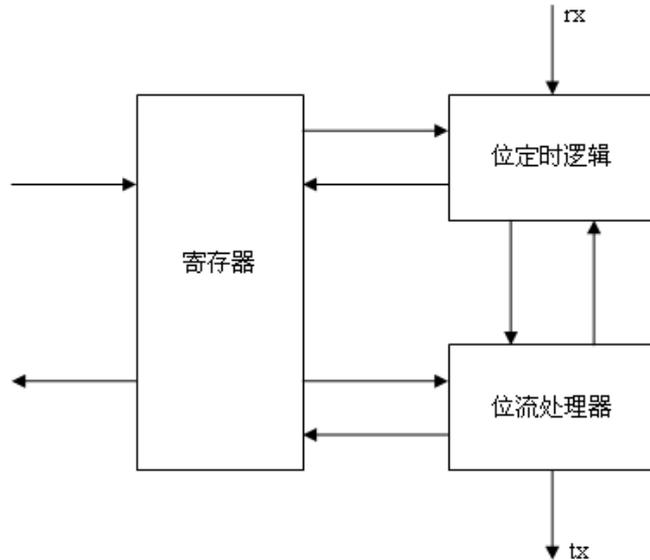


图 25-1 处理器中 CAN 控制器结构框图

位定时逻辑实现的主要功能是检测 CAN 总线输入信号和来自位流处理器的 CAN 总线输出信号，输出采样点、采样位、发送点和同步信号等位定时信息。

位流处理器实现的主要功能是输入来自寄存器的寄存器信息和来自位定时逻辑的采样点、采样位、发送点和同步信号等位定时信息，对采样位的位流进行处理，并输出状态信息和 CAN 总线输出信号。

## 25.2 BasicCAN 模式寄存器

CAN 控制器共有 32 个寄存器，偏移地址分别为 0~31。两个 CAN 的基地址分别为 0x80000180 和 0x80000200。

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 60 页 共 139 页

### 25.2.1 BasicCAN 模式寄存器映射

表 25-1 处理器中 CAN 模块 BasicCAN 模式地址分配 (0x80000180/0x80000200)

偏移地址	工作模式		复位模式	
	读	写	读	写
0	控制寄存器	控制寄存器	控制寄存器	控制寄存器
1	(0xFF)	命令寄存器	(0xFF)	命令寄存器
2	状态寄存器	—	状态寄存器	—
3	中断寄存器	—	中断寄存器	—
4	(0xFF)	—	验收代码寄存器	验收代码寄存器
5	(0xFF)	—	验收屏蔽寄存器	验收屏蔽寄存器
6	(0xFF)	—	总线定时 0 寄存器	总线定时 0 寄存器
7	(0xFF)	—	总线定时 1 寄存器	总线定时 1 寄存器
8	(0x00)	—	(0x00)	—
9	(0x00)	—	(0x00)	—
10	发送识别码 (10-3)	发送识别码 (10-3)	(0xFF)	—
11	发送识别码 (2-0)、RTR、DLC	发送识别码 (2-0)、RTR、DLC	(0xFF)	—
12	发送数据字节 1	发送数据字节 1	(0xFF)	—
13	发送数据字节 2	发送数据字节 2	(0xFF)	—
14	发送数据字节 3	发送数据字节 3	(0xFF)	—
15	发送数据字节 4	发送数据字节 4	(0xFF)	—
16	发送数据字节 5	发送数据字节 5	(0xFF)	—
17	发送数据字节 6	发送数据字节 6	(0xFF)	—
18	发送数据字节 7	发送数据字节 7	(0xFF)	—
19	发送数据字节 8	发送数据字节 8	(0xFF)	—
20	接收识别码 (10-3)	—	接收识别码 (10-3)	—
21	接收识别码 (2-0)、RTR、DLC	—	接收识别码 (2-0)、RTR、DLC	—
22	接收数据字节 1	—	接收数据字节 1	—
23	接收数据字节 2	—	接收数据字节 2	—
24	接收数据字节 3	—	接收数据字节 3	—
25	接收数据字节 4	—	接收数据字节 4	—
26	接收数据字节 5	—	接收数据字节 5	—
27	接收数据字节 6	—	接收数据字节 6	—
28	接收数据字节 7	—	接收数据字节 7	—
29	接收数据字节 8	—	接收数据字节 8	—
30	(0x00)	—	(0x00)	—

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 61 页 共 139 页

偏移地址	工作模式		复位模式	
	读	写	读	写
31	模式选择寄存器	模式选择寄存器	模式选择寄存器	模式选择寄存器

### 25.2.2 控制寄存器

控制寄存器包含中断使能位和复位请求位。

表 25-2 处理器中 CAN 模块 BasicCAN 模式控制寄存器 (CR)

符号.位	名称	功能	硬件复位默认值	软件复位默认值
CR. 7	—	保留。	0	0
CR. 6	—	保留。	x	x
CR. 5	—	保留。	1	1
CR. 4	溢出中断使能	1: 使能; 0: 禁能。	x	x
CR. 3	错误中断使能	1: 使能; 0: 禁能。	x	x
CR. 2	发送中断使能	1: 使能; 0: 禁能。	x	x
CR. 1	接收中断使能	1: 使能; 0: 禁能。	x	x
CR. 0	复位请求	1: 停止当前传输并进入复位模式; 0: 返回工作模式。	1	1

➤ x: 表示复位不影响该寄存器或位, 下同。

### 25.2.3 命令寄存器

往寄存器的相应位写 1 将引起被支持的动作。

表 25-3 处理器中 CAN 模块 BasicCAN 模式命令寄存器 (CMR)

符号.位	名称	功能	硬件复位默认值	软件复位默认值
CMR. 7	—	保留 (总是 0)。	注 1	注 1
CMR. 6	—	保留。		
CMR. 5	—	保留 (总是 1)。		
CMR. 4	—	未使用 (SJA1000 进入睡眠模式)。		
CMR. 3	清除数据溢出	清除数据溢出状态位。		
CMR. 2	释放接收缓冲器	释放当前接收缓冲器以便于新的接收。		
CMR. 1	停止发送	停止尚未开始的发送。		
CMR. 0	发送请求	开始发送缓冲器中报文的发送。		

➤ 注 1: 读命令寄存器的结果总为 “1111 1111”。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 62 页 共 139 页

#### 25.2.4 状态寄存器

状态寄存器反映模块的当前状态并且是只读的。

表 25-4 处理器中 CAN 模块 BasicCAN 模式状态寄存器 (SR)

符号.位	名称	功能	硬件复位 默认值	软件复位 默认值
SR.7	总线状态	模块总线关闭,且此时无总线活动时,为1。	0	x
SR.6	错误状态	至少有一个错误计数器达到或超过 CPU 报警限制。	0	x
SR.5	发送状态	正在发送报文时,为1。	0	0
SR.4	接收状态	正在接收报文时,为1。	0	0
SR.3	发送完毕	最后一个报文发送成功时,为1。	1	x
SR.2	发送缓冲器状态	为1时,CPU可以向发送缓冲器中写入数据。	1	1
SR.1	数据溢出状态	FIFO中无空间导致报文丢失时,为1。	0	0
SR.0	接收缓冲器状态	接收FIFO中有可用报文时,为1	0	0

#### 25.2.5 中断寄存器

中断寄存器通知 CPU 是什么引起了中断。只有在控制寄存器里相应的中断允许位置 1 时中断位才置 1。

表 25-5 处理器中 CAN 模块 BasicCAN 模式中中断寄存器 (IR)

符号.位	名称	功能	硬件复位 默认值	软件复位 默认值
IR.7	—	保留。	1	1
IR.6	—	保留。	1	1
IR.5	—	保留。	1	1
IR.4	—	未使用 (SJA1000 唤醒中断)。	0	0
IR.3	数据溢出中断	若 SR.1 由 0 变为 1, 置位。	0	0
IR.2	错误中断	若错误状态或总线状态发生变化, 置位。	0	x
IR.1	发送中断	若发送缓冲器被释放, 置位。	0	0
IR.0	接收中断	FIFO 不空时, 置位。	0	0

➤ x: 复位不影响该寄存器或位。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 63 页 共 139 页

### 25.2.6 发送缓冲寄存器

发送缓冲存储来自 CPU 的将要通过本模块发送的数据。在 BasicCAN 模式下只有标准帧格式报文可以被发送和接收，扩展帧格式报文将被忽略。

表 25-6 处理器中 CAN 模块 BasicCAN 模式发送缓冲器

地址	名称	位							
		7	6	5	4	3	2	1	0
10	识别码 1	ID. 10	ID. 9	ID. 8	ID. 7	ID. 6	ID. 5	ID. 4	ID. 3
11	识别码 1	ID. 2	ID. 1	ID. 0	RTR	DLC. 3	DLC. 2	DLC. 1	DLC. 0
12	发送数据 1	发送字节 1							
13	发送数据 2	发送字节 2							
14	发送数据 3	发送字节 3							
15	发送数据 4	发送字节 4							
16	发送数据 5	发送字节 5							
17	发送数据 6	发送字节 6							
18	发送数据 7	发送字节 7							
19	发送数据 8	发送字节 8							

### 25.2.7 接收缓冲寄存器

位于地址 20 至 29 的接收缓冲是 64 字节接收 FIFO 的可见部分。它的结构与发送缓冲器相同。

### 25.2.8 接收过滤寄存器

应用接收过滤代码和接收过滤屏蔽寄存器，报文可以根据它们的标识符 (ID) 被过滤。11 位的标识符的高 8 位与接收过滤代码寄存器中相应的接收过滤屏蔽寄存器中设为 0 的位比较，如果匹配则储存进 FIFO。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 64 页 共 139 页

## 25.3 Pelican 模式寄存器

### 25.3.1 Pelican 模式寄存器映射

表 25-7 处理器中 CAN 模块 Pelican 模式地址分配(0x80000180/0x80000200)

偏移地址	工作模式				复位模式	
	读		写		读	写
0	模式寄存器		模式寄存器		模式寄存器	模式寄存器
1	(0x00)		命令寄存器		(0x00)	命令寄存器
2	状态寄存器		—		状态寄存器	—
3	中断寄存器		—		中断寄存器	—
4	中断使能寄存器		中断使能寄存器		中断使能寄存器	中断使能寄存器
5	保留 (0x00)		—		保留 (0x00)	—
6	总线定时 0 寄存器		—		总线定时 0 寄存器	总线定时 0 寄存器
7	总线定时 1 寄存器		—		总线定时 1 寄存器	总线定时 1 寄存器
8	(0x00)		—		(0x00)	—
9	(0x00)		—		(0x00)	—
10	保留 (0x00)		—		保留 (0x00)	—
11	仲裁丢失捕捉寄存器		—		仲裁丢失捕捉寄存器	—
12	错误代码捕捉寄存器		—		错误代码捕捉寄存器	—
13	错误报警限制寄存器		—		错误报警限制寄存器	错误报警限制寄存器
14	接收错误计数器		—		接收错误计数器	接收错误计数器
15	发送错误计数器		—		发送错误计数器	发送错误计数器
16	接收 SFF 帧信息	接收 EFF 帧信息	发送 SFF 帧信息	发送 EFF 帧信息	验收代码 0 寄存器	验收代码 0 寄存器
17	接收识别码 1	接收识别码 1	发送识别码 1	发送识别码 1	验收代码 1 寄存器	验收代码 1 寄存器
18	接收识别码 2	接收识别码 2	发送识别码 2	发送识别码 2	验收代码 2 寄存器	验收代码 2 寄存器
19	接收	接收	发送数	发送	验收代码 3 寄存	验收代码 3 寄存器

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 65 页 共 139 页

偏移地址	工作模式				复位模式	
	读		写		读	写
	数据 1	识别码 3	据 1	识别码 3	器	
20	接收数据 2	接收识别码 4	发送数据 2	发送识别码 4	验收屏蔽 0 寄存器	验收屏蔽 0 寄存器
21	接收数据 3	接收数据 1	发送数据 3	发送数据 1	验收屏蔽 1 寄存器	验收屏蔽 1 寄存器
22	接收数据 4	接收数据 2	发送数据 4	发送数据 2	验收屏蔽 2 寄存器	验收屏蔽 2 寄存器
23	接收数据 5	接收数据 3	发送数据 5	发送数据 3	验收屏蔽 3 寄存器	验收屏蔽 3 寄存器
24	接收数据 6	接收数据 4	发送数据 6	发送数据 4	保留 (0x00)	—
25	接收数据 7	接收数据 5	发送数据 7	发送数据 5	保留 (0x00)	—
26	接收数据 8	接收数据 6	发送数据 8	发送数据 6	保留 (0x00)	—
27	FIFO	接收数据 7	—	发送数据 7	保留 (0x00)	—
28	FIFO	接收数据 8	—	发送数据 8	保留 (0x00)	—
29	接收报文计数器		—		接收报文计数器	—
30	(0x00)		—		(0x00)	—
31	模式选择寄存器		模式选择寄存器		模式选择寄存器	模式选择寄存器

### 25.3.2 模式寄存器

表 25-8 处理器中 CAN 模块 Pelican 模式下模式寄存器 (MOD)

符号.位	名称	功能	硬件复位默认值	软件复位默认值
MOD. 7	—	保留。	0	0
MOD. 6	—	保留。	0	0
MOD. 5	—	保留。	0	0
MOD. 4	—	未使用。	0	0
MOD. 3	验收滤波模式	1 - 单滤波模式, 0 - 双滤波模式。	0	x
MOD. 2	自检测模式	置位, 控制器进入自检测模式。	0	x

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 66 页 共 139 页

符号.位	名称	功能	硬件复位 默认值	软件复位 默认值
MOD. 1	仅听模式	置位，控制器进入仅听模式。	0	x
MOD. 0	复位模式	1 - 停止当前传输并进入复位模式。 0 - 返回工作模式。	1	1

### 25.3.3 命令寄存器

往寄存器的相应位写 1 将引起被支持的动作。

表 25-9 处理器中 CAN 模块 Pelican 模式命令寄存器 (CMR)

符号.位	名称	功能	硬件复位 默认值	软件复位 默认值
CMR. 7	—	保留 (总是 0)。	0	0
CMR. 6	—	保留。	0	0
CMR. 5	—	保留 (总是 1)。	0	0
CMR. 4	自接收请求	发送并同时接收一个报文。	0	0
CMR. 3	清除数据溢出	清除数据溢出状态位。	0	0
CMR. 2	释放接收缓冲器	释放当前接收缓冲器以便于新的接收。	0	0
CMR. 1	停止发送	停止尚未开始的发送。	0	0
CMR. 0	发送请求	开始发送缓冲器中报文的发送。	0	0

### 25.3.4 状态寄存器

状态寄存器反映模块的当前状态并且是只读的。

表 25-10 处理器中 CAN 模块 Pelican 模式状态寄存器

符号.位	名称	功能	硬件复位 默认值	软件复位 默认值
SR. 7	总线状态	1: 模块总线关闭, 且此时无总线活动。	0	0
SR. 6	错误状态	至少有一个错误计数器达到或超过 CPU 报警限制。	0	0
SR. 5	发送状态	1: 正在发送报文。	1	0
SR. 4	接收状态	1: 正在接收报文。	1	0
SR. 3	发送完毕	1: 最后一个报文发送成功。	1	0
SR. 2	发送缓冲器状态	1: CPU 可以向发送缓冲器中写入数据。	1	x
SR. 1	数据溢出状态	1: FIFO 中无空间导致报文丢失。	0	0
SR. 0	接收缓冲器状态	1: 接收 FIFO 中有可用报文。	0	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 67 页 共 139 页

### 25.3.5 中断寄存器

中断寄存器通知 CPU 是什么引起了中断。只有在中断允许寄存器里相应的中断允许位置 1 时中断位才置 1。

表 25-11 处理器中 CAN 模块 PeLiCAN 模式中断寄存器 (IR)

符号.位	名称	功能	硬件复位默认值	软件复位默认值
IR. 7	总线错误中断	若检测到总线上有错误, 置位。	0	0
IR. 6	仲裁丢失中断	若模块已经丢失仲裁, 置位。	0	0
IR. 5	错误被动中断	若模块处于错误主动与错误被动之间。	0	0
IR. 4	—	未使用。	0	0
IR. 3	数据溢出中断	若 SR. 1 由 0 变为 1, 置位。	0	0
IR. 2	错误中断	若错误状态或总线状态发生变化, 置位。	0	x
IR. 1	发送中断	若发送缓冲器被释放, 置位。	0	0
IR. 0	接收中断	FIFO 不空时, 置位。	0	0

➤ x: 复位不影响该寄存器或位。

### 25.3.6 中断允许寄存器

在中断允许寄存器里可以允许/禁止独立的中断源。如果被允许, 则中断寄存器里的相应位可以被置 1, 同时将产生一个中断。

表 25-12 处理器中 CAN 模块 PeLiCAN 模式中断允许寄存器 (IER)

符号.位	名称	功能	硬件复位默认值	软件复位默认值
IER. 7	总线错误中断使能	1: 使能; 0: 禁能。	x	x
IER. 6	仲裁丢失中断使能	1: 使能; 0: 禁能。	x	x
IER. 5	错误被动中断使能	1: 使能; 0: 禁能。	x	x
IER. 4	—	未使用。	x	x
IER. 3	数据溢出中断使能	1: 使能; 0: 禁能。	x	x
IER. 2	错误中断使能	1: 使能; 0: 禁能。	x	x
IER. 1	发送中断使能	1: 使能; 0: 禁能。	x	x
IER. 0	接收中断使能	1: 使能; 0: 禁能。	x	x

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 68 页 共 139 页

### 25.3.7 仲裁丢失捕捉寄存器

表 25-13 处理器中 CAN 模块 Pelican 模式仲裁丢失捕捉寄存器 (ALC)

符号.位	名称	功能	硬件复位 默认值	软件复位 默认值
ALC. 7: 5	—	保留。	0	x
ALC. 4: 0	位编号	仲裁时丢失的位编号。		

### 25.3.8 错误代码捕捉寄存器

表 25-14 处理器中 CAN 模块 Pelican 模式错误代码捕捉寄存器 (ECC)

符号.位	名称	功能	硬件复位 默认值	软件复位 默认值
ECC. 7: 6	错误代码	错误代码编号。	0	x
ECC. 5	方向	1: 接收; 0: 发送。	0	x
ECC. 4: 0	段	帧中出错的部分。	0	x

➤ x: 复位不影响该寄存器或位。

表 25-15 处理器中 CAN 模块 Pelican 模式错误代码说明 (ECC. 7: 6)

ECC. 7: 6	说明
0	位错误
1	格式错误
2	填充错误
3	其它

表 25-16 处理器中 CAN 模块 Pelican 模式错误代码说明 (ECC. 4: 0)

ECC. 4: 0	说明
0x03	帧起始
0x02	ID. 28 - ID. 21
0x06	ID. 20 - ID. 18
0x04	SRTR 位
0x05	IDE 位
0x07	ID. 17 - ID. 13
0x0F	ID. 12 - ID. 5
0x0E	ID. 4 - ID. 0
0x0C	RTR 位

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 69 页 共 139 页

ECC. 4: 0	说明
0x0D	保留位 1
0x09	保留位 0
0x0B	数据长度代码
0x0A	数据段
0x08	CRC 序列
0x18	CRC 界定符
0x19	应答通道
0x1B	应答界定符
0x1A	帧结束
0x12	间断
0x11	主动错误标记
0x16	被动错误标记
0x13	支配位误差
0x17	错误界定符
0x1C	过载标记

### 25.3.9 错误报警限制寄存器

该寄存器允许设置 CPU 错误警告的限制。默认值是 96。注意该寄存器只在复位模式下可写。

### 25.3.10 接收错误计数器

该寄存器显示接收错误计数器的值。它在复位模式下可写。总线关闭事件会把它复位为 0。

### 25.3.11 发送错误计数器

该寄存器显示发送错误计数器的值。它在复位模式下可写。总线关闭事件会把它复位为 0。

### 25.3.12 发送缓冲寄存器

发送缓冲被映射为地址 16 至 28 并且是只写的。发送缓冲的结构取决于将要发送的是标准帧 (SFF) 还是扩展帧 (EFF)，如下所示：

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 70 页 共 139 页

表 25-17 处理器中 CAN 模块 PeLiCAN 模式发送缓冲器

地址	写 (SFF)	写 (EFF)
16	发送帧信息	发送帧信息
17	发送识别码 1	发送识别码 1
18	发送识别码 2	发送识别码 2
19	发送数据 1	发送识别码 3
20	发送数据 2	发送识别码 4
21	发送数据 3	发送数据 1
22	发送数据 4	发送数据 2
23	发送数据 5	发送数据 3
24	发送数据 6	发送数据 4
25	发送数据 7	发送数据 5
26	发送数据 8	发送数据 6
27	—	发送数据 7
28	—	发送数据 8

表 25-18 处理器中 CAN 模块 PeLiCAN 模式发送帧信息 (此位段在 SFF 和 EFF 帧中相同)

7	6	5	4	3	2	1	0
FF	RTR	—	—	DLC. 3	DLC. 2	DLC. 1	DLC. 0

- 7: FF 选择帧格式, 1 = EFF, 0 = SFF。
- 6: 对于远程发送请求帧 RTR 应被置为 1。
- 5: 4: 不考虑。
- 3: 0: DLC 指定数据长度代码并且应该是 0 到 8 之间的数值。如果大于 8, 则 8 个字节将被发送。

表 25-19 处理器中 CAN 模块 PeLiCAN 模式发送标识符 1 (此位段在 SFF 帧和 EFF 帧中相同)

7	6	5	4	3	2	1	0
ID. 28	ID. 27	ID. 26	ID. 25	ID. 24	ID. 23	ID. 22	ID. 21

- 7: 0: 标识符的高 8 位。

表 25-20 处理器中 CAN 模块 PeLiCAN 模式发送标识符 2, SFF 帧

7	6	5	4	3	2	1	0
ID. 20	ID. 19	ID. 18	—	—	—	—	—

- 7: 5: SFF 标识符的低 3 位。
- 4: 0: 不考虑。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 71 页 共 139 页

表 25-21 处理器中 CAN 模块 PeLiCAN 模式发送标识符 2，EFF 帧

7	6	5	4	3	2	1	0
ID. 20	ID. 19	ID. 18	ID. 17	ID. 16	ID. 15	ID. 14	ID. 13

➤ 7: 0: 29 位 EFF 标识符的第 20 到第 13 位。

表 25-22 处理器中 CAN 模块 PeLiCAN 模式发送标识符 3，EFF 帧

7	6	5	4	3	2	1	0
ID. 12	ID. 11	ID. 10	ID. 9	ID. 8	ID. 7	ID. 6	ID. 5

➤ 7: 0: 29 位 EFF 标识符的第 12 到第 5 位。

表 25-23 处理器中 CAN 模块 PeLiCAN 模式发送标识符 4，EFF 帧

7	6	5	4	3	2	1	0
ID. 4	ID. 3	ID. 2	ID. 1	ID. 0	—	—	—

➤ 7: 3: 29 位 EFF 标识符的第 4 到第 0 位。

➤ 2: 0: 不考虑。

**数据位段:**

对于 SFF 帧，数据位段位于地址 19 到 26，对于 EFF 帧，位于 21 到 28。数据从位于最低地址的 MSB（最高位字节）开始发送。

**25.3.13 接收缓冲寄存器**

表 25-24 处理器中 CAN 模块 PeLiCAN 模式接收缓冲寄存器

地址	读 (SFF)	读 (EFF)
16	接收帧信息	接收帧信息
17	接收识别码 1	接收识别码 1
18	接收识别码 2	接收识别码 2
19	接收数据 1	接收识别码 3
20	接收数据 2	接收识别码 4
21	接收数据 3	接收数据 1
22	接收数据 4	接收数据 2
23	接收数据 5	接收数据 3
24	接收数据 6	接收数据 4
25	接收数据 7	接收数据 5
26	接收数据 8	接收数据 6

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 72 页 共 139 页

地址	读 (SFF)	读 (EFF)
27	FIFO 中下一个报文的接收帧信息	接收数据 7
28	FIFO 中下一个报文的接收识别码 1	接收数据 8

表 25-25 处理器中 CAN 模块 PeLiCAN 模式接收帧信息 (此位段在 SFF 和 EFF 帧中相同)

7	6	5	4	3	2	1	0
FF	RTR	0	0	DLC. 3	DLC. 2	DLC. 1	DLC. 0

- 7: 已接收报文的帧格式, 1 = EFF, 0 = SFF。
- 6: RTR 帧时为 1。
- 5: 4: 总为 0。
- 3: 0: DLC 指定数据长度代码。

表 25-26 处理器中 CAN 模块 PeLiCAN 模式接收标识符 1 (此位段在 SFF 帧和 EFF 帧中相同)

7	6	5	4	3	2	1	0
ID. 28	ID. 27	ID. 26	ID. 25	ID. 24	ID. 23	ID. 22	ID. 21

- 7: 0: 标识符的高 8 位。

表 25-27 处理器中 CAN 模块 PeLiCAN 模式接收标识符 2, SFF 帧

7	6	5	4	3	2	1	0
ID. 20	ID. 19	ID. 18	RTR	0	0	0	0

- 7: 5: SFF 标识符的低 3 位。
- 4: RTR 帧时为 1。
- 3: 0: 总为 0。

表 25-28 处理器中 CAN 模块 PeLiCAN 模式接收标识符 2, EFF 帧

7	6	5	4	3	2	1	0
ID. 20	ID. 19	ID. 18	ID. 17	ID. 16	ID. 15	ID. 14	ID. 13

- 7: 0: 29 位 EFF 标识符的第 20 到第 13 位。

表 25-29 处理器中 CAN 模块 PeLiCAN 模式接收标识符 3, EFF 帧

7	6	5	4	3	2	1	0
ID. 12	ID. 11	ID. 10	ID. 9	ID. 8	ID. 7	ID. 6	ID. 5

- 7: 0: 29 位 EFF 标识符的第 12 到第 5 位。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 73 页 共 139 页

表 25-30 处理器中 CAN 模块 PeLiCAN 模式接收标识符 4，EFF 帧

7	6	5	4	3	2	1	0
ID. 4	ID. 3	ID. 2	ID. 1	ID. 0	RTR	0	0

- 7: 3: 29 位 EFF 标识符的第 4 到第 0 位。
- 2: RTR 帧时为 1。
- 1: 0: 不考虑。

**数据位段:**

对于接收到的 SFF 帧，数据段位于地址 19 到 26，对于 EFF 帧则位于 21 到 28。

### 25.3.14 验收过滤寄存器

验收过滤器可以用来过滤掉不符合特定要求的报文。如果一个报文被过滤掉，它将不被放进接收 FIFO 里面，CPU 也不必处理它。

有两种不同的过滤模式：单过滤和双过滤。模式寄存器的第 3 位控制使用哪种模式。在单过滤模式下只使用一个 4 个字节的过滤器。在双过滤模式下使用两个更小的过滤器，如果匹配其中任何一个，则报文被接收。每个过滤器由两部分组成：接收代码和接收屏蔽。代码寄存器用来指定匹配的格式而屏蔽寄存器则指定不考虑的位。总共 8 个寄存器被用作接收过滤器，如下表所示。注意它们只在复位模式下被读写。

表 25-31 处理器中 CAN 模块 PeLiCAN 模式验收过滤寄存器

偏移地址	说明
16	验收代码 0 寄存器 (ACR0)
17	验收代码 1 寄存器 (ACR1)
18	验收代码 2 寄存器 (ACR2)
19	验收代码 3 寄存器 (ACR3)
20	验收屏蔽 0 寄存器 (ACM0)
21	验收屏蔽 1 寄存器 (ACM1)
22	验收屏蔽 2 寄存器 (ACM2)
23	验收屏蔽 3 寄存器 (ACM3)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 74 页 共 139 页

### 25.3.14.1 单过滤模式，标准帧

当在单过滤模式下接收一个标准帧，寄存器 ACR0:3 将会以以下的方式与接收到的报文比较：

- ACR0.7:0 和 ACR1.7:5 与 ID.28:18 比较。
- ACR1.4 与 RTR 位比较。
- ACR1.3:0 未使用。
- ACR2 和 ACR3 与数据字节 1 和 2 比较。

AMR 寄存器里相应的位选择是否比较的结果没关系。屏蔽寄存器里一个置 1 的位表示不考虑。

### 25.3.14.2 单过滤模式，扩展帧

当在单过滤模式下接收一个扩展帧，寄存器 ACR0:3 将会以以下的方式与接收到的报文比较：

- ACR0.7:0 和 ACR1.7:0 与 ID.28:13 比较。
- ACR2.7:0 和 ACR3.7:3 与 ID.12:0 比较。
- ACR3.2 与 RTR 位比较。
- ACR3.1:0 未使用。

AMR 寄存器里相应的位选择是否比较的结果没关系。屏蔽寄存器里一个置 1 的位表示不考虑。

### 25.3.14.3 双过滤模式，标准帧

当在双过滤模式下接收一个标准帧，寄存器 ACR0:3 将会以以下的方式与接收到的报文比较：

**过滤器 1:**

- ACR0.7:0 和 ACR1.7:5 与 ID.28:18 比较。
- ACR1.4 与 RTR 位比较。
- ACR1.3:0 与数据字节 1 的高半字节比较。
- ACR3.3:0 与数据字节 1 的低半字节比较。

**过滤器 2:**

- ACR2.7:0 和 ACR3.7:5 与 ID.28:18 比较。
- ACR3.4 与 RTR 位比较。

AMR 寄存器里相应的位选择是否比较的结果没关系。屏蔽寄存器里一个置 1 的位表示不考虑。

### 25.3.14.4 双过滤模式，扩展帧

当在双过滤模式下接收一个扩展帧，寄存器 ACR0:3 将会以以下的方式与接收到的报文比较：

**过滤器 1:**

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 75 页 共 139 页

- ACR0. 7: 0 和 ACR1. 7: 0 与 ID. 28: 13 比较。

过滤器 2:

- ACR2. 7: 0 和 ACR3. 7: 0 与 ID. 28: 13 比较。

AMR 寄存器里相应的位选择是否比较的结果没关系。屏蔽寄存器里一个置 1 的位表示不考虑。

### 25.3.15 接收报文计数器

位于地址 29 的接收报文计数器保持当前储存在接收 FIFO 里的报文的数量。最高 3 位总为 0。

## 25.4 公共寄存器

在 BasicCAN 和 PeliCAN 模式下有 3 个公共寄存器，它们具有相同的地址和相同的功能。它们是时钟分频寄存器和总线定时寄存器 0 和 1。

### 25.4.1 模式选择寄存器

此寄存器在处理器中的功能是选择 PeliCAN 和 BasicCAN 模式。

表 25-32 处理器中 CAN 模块模式选择寄存器 (MSR)

符号.位	名称	功能	硬件复位默认值	软件复位默认值
MSR. 7	CAN 模式	1: PeliCAN; 0: BasicCAN。	0	x
MSR. 6: 0	—	未使用。	—	—

x: 复位不影响该寄存器或位。

### 25.4.2 总线定时 0 寄存器

表 25-33 处理器中 CAN 模块总线定时 0 寄存器 (BTR0)

符号.位	名称	功能	硬件复位默认值	软件复位默认值
BTR0. 7: 6	SJW	同步跳跃宽度。	x	x
BTR0. 5: 0	BRP	波特速率预设值。	x	x

CAN Core 的系统时钟由以下计算:

$$t_{scl} = 2 \times t_{clk} \times (BRP + 1) \quad (\text{式 } 25-1)$$

其中 tscl 是系统时钟。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 76 页 共 139 页

同步跳跃宽度定义了在一次重同步中一个位周期里有多少个时钟周期 ( $t_{scl}$ ) 可以调整。

### 25.4.3 总线定时 1 寄存器

总线定时 1 寄存器 (BTR1) 的位分配 (地址 7)。

表 25-34 处理器中 CAN 模块总线定时 1 寄存器 (BTR1)

符号.位	名称	功能	硬件复位默认值	软件复位默认值
BTR1. 7	SAM	1: 对总线采样 3 次。 0: 对总线采样 1 次。	x	x
BTR1. 6: 4	TSEG2	时间段 2。	x	x
BTR1. 3: 0	TSEG1	时间段 1。	x	x

CAN 总线的位周期由 CAN 的系统时钟和时间段 1 和 2 决定, 如下面的等式所示:

$$t_{tseg1} = t_{scl} \times (TSEG1 + 1) \quad (\text{式 25-2})$$

$$t_{tseg2} = t_{scl} \times (TSEG2 + 1) \quad (\text{式 25-3})$$

$$t_{bit} = t_{tseg1} + t_{tseg2} + t_{scl} \quad (\text{式 25-4})$$

附加的  $t_{scl}$  项来自初始的同步段。采样在位周期的 TSEG1 和 TSEG2 之间完成。

## 26 ARINC429 总线控制器

处理器片内集成 ARINC429 总线控制器, 它实现了 ARINC429 协议, 又称 Mark33 数字信息传输系统 (DITS——Digital Information Transfer System), 是专为航空电子系统通讯规定的航空工业总线标准, 它忽略了不同厂家航电系统接口的复杂性, 为系统互联提供了统一平台。

处理器片内的 ARINC429 总线控制器具有如下主要特征:

- 支持完整的 Arinc429 通讯协议;
- 支持 32 和 25 位字长模式;
- 操作遵循 Intel 时序模式;
- 收发通道各自独立;
- 集成 4 个接收通道;
- 集成 2 个发送通道;

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 77 页 共 139 页

表 26-1 处理器中 ARINC429 总线控制器寄存器列表

寄存器名称	地址 (0x)	访问方式	宽度	默认值 (0x)	寄存器描述	备注
rData1	80000280	R	32	-	数据接收寄存器 1	接收通道 1 专属寄存器组
rControl1	80000284	R/W	32	00000000	接收控制寄存器 1 (含中断配置)	
rScaler1	80000288	R/W	16	0063	接收波特率设置寄存器 1	
rFifoctrl1	8000028C	R/W	16	0010	接收 FIFO 控制寄存器 1	
rStatus1	80000290	R	16	0001	接收状态寄存器 1	
rlabel_1gp1	80000294	R/W	32	00000000	数据接收标识符组 1 寄存器 1	
rlabel_2gp1	80000298	R/W	32	00000000	数据接收标识符组 2 寄存器 1	
rlabel_3gp1	8000029C	R/W	32	00000000	数据接收标识符组 3 寄存器 1	
rData2	800002A0	R	32	-	数据接收寄存器 2	接收通道 2 专属寄存器组
rControl2	800002A4	R/W	32	00000000	接收控制寄存器 2 (含中断配置)	
rScaler2	800002A8	R/W	16	0063	接收波特率设置寄存器 2	
rFifoctrl2	800002AC	R/W	16	0010	接收 FIFO 控制寄存器 2	
rStatus2	800002B0	R	16	0001	接收状态寄存器 2	
rlabel_1gp2	800002B4	R/W	32	00000000	数据接收标识符组 1 寄存器 2	
rlabel_2gp2	800002B8	R/W	32	00000000	数据接收标识符组 2 寄存器 2	
rlabel_3gp2	800002BC	R/W	32	00000000	数据接收标识符组 3 寄存器 2	
rData3	800002C0	R	32	-	数据接收寄存器 3	接收通道 3 专属寄存器组
rControl3	800002C4	R/W	32	00000000	接收控制寄存器 3 (含中断配置)	
rScaler3	800002C8	R/W	16	0063	接收波特率设置寄存器 3	
rFifoctrl3	800002CC	R/W	16	0010	接收 FIFO 控制寄存器 3	
rStatus3	800002D0	R	16	0001	接收状态寄存器 3	
rlabel_1gp3	800002D4	R/W	32	00000000	数据接收标识符组 1 寄存器 3	
rlabel_2gp3	800002D8	R/W	32	00000000	数据接收标识符组 2 寄存器 3	
rlabel_3gp3	800002DC	R/W	32	00000000	数据接收标识符组 3 寄存器 3	
rData4	800002E0	R	32	-	数据接收寄存器 4	接收通道 4 专属寄存器组
rControl4	800002E4	R/W	32	00000000	接收控制寄存器 4 (含中断配置)	
rScaler4	800002E8	R/W	16	0063	接收波特率设置寄存器 4	
rFifoctrl4	800002EC	R/W	16	0010	接收 FIFO 控制寄存器 4	
rStatus4	800002F0	R	16	0001	接收状态寄存器 4	



	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 79 页 共 139 页



图 26-2 处理器中 ARINC429 总线控制器字长为 25 位的数据字格式

## 26.2 数据接收通道模块

在处理器中,集成了 4 通道的 ARINC429 数据接收通道模块,该模块负责接收输入的 ARINC429 串行数据,并将其转换成并行数据,同时还自动完成数据的校验,包括:

- 奇偶校验;
- Label 校验;
- SDI 校验;
- Frame 完整性检查;
- 字间间隙检查;

### 26.2.1 数据接收模块结构

ARINC429 的数据接收模块的结构如图 26-3 所示,其主要包含了以下部分:

- DATA DECODER: 数据解码器;
- BAUD GENERATOR: 接收波特率发生器;
- RX CONTROL REGISTER: 接收控制寄存器;
- RX STATUS REGISTER: 接收状态寄存器;
- 32-BIT SHIFTER REGISTER: 32 位的移位寄存器;
- RX PARITY CHECK: 接收奇偶校验;
- RX SDI CHECK: 接收 SDI 校验;
- RX LABEL CHECK: 接收 LABEL 校验;
- RX FRAME CHECK: 接收字连续性校验;
- RX GAP CHECK: 接收字间间隙校验;
- LABEL MEMORY: LABEL 存储器 (容量为 12);

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 80 页 共 139 页

- RX FIFO: 数据接收 FIFO (容量为 32x36);
- APB INTERFACE: 主机接口;

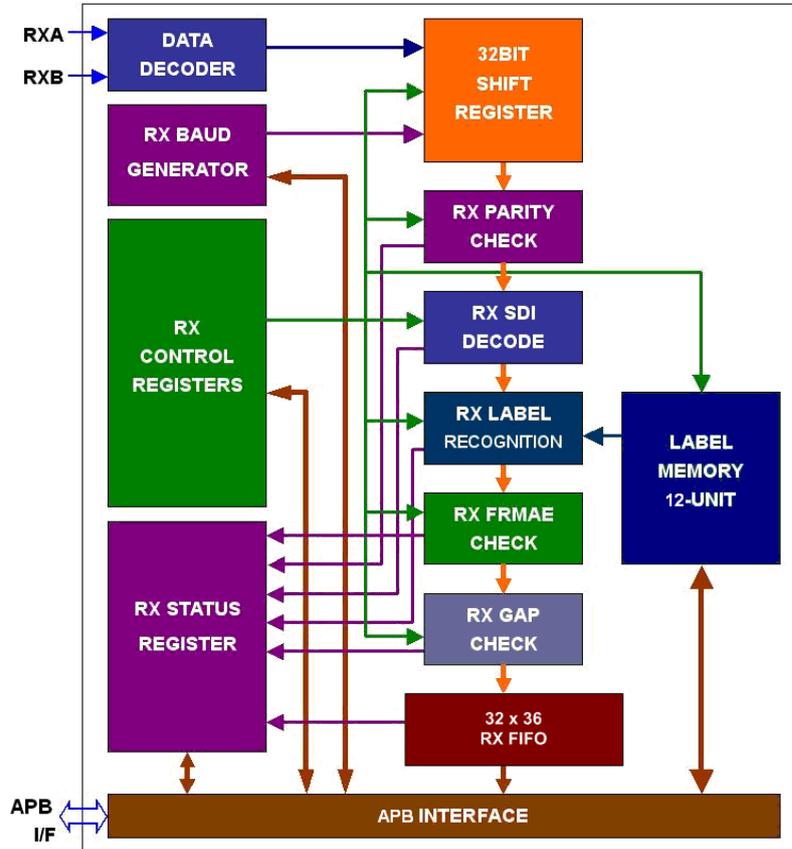


图 26-3 处理器中 ARINC429 总线控制器接收通道结构图

### 26.2.2 数据接收模块寄存器

表 26-2 处理器中 ARINC429 总线控制器数据接收模块寄存器列表

寄存器名称	访问方式	偏移地址	宽度	默认值(0x)	寄存器描述
rData	R	000	32	-	数据接收缓存寄存器
rControl	R/W	001	32	00000000	接收控制寄存器 (含中断使能)
rScaler	R/W	010	16	0063	接收波特率设置寄存器
rFifoctrl	R/W	011	16	0010	接收 FIFO 的控制寄存器
rStatus	R	100	16	0001	接收状态寄存器
rLabel_1gp	R/W	101	32	00000000	接收 LABEL 组 1 寄存器
rLabel_2gp	R/W	110	32	00000000	接收 LABEL 组 2 寄存器
rLabel_3gp	R/W	111	32	00000000	接收 LABEL 组 3 寄存器

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 81 页 共 139 页

### 26.2.3 数据接收寄存器

该寄存器的值就是接收 FIFO 的第一元素的值。其格式见第 26.1 节。

### 26.2.4 接收控制寄存器

该寄存器主要用来控制接收模块的各种操作。

表 26-3 处理器中 ARINC429 总线控制器数据接收模块控制寄存器

位	位名称	有效状态	位描述	默认值
31:29	-	-	保留未用。	-
28	rst_cmd	H	软件复位。	0
27:16	-	-	保留未用。	-
15	long_word_en	H	长字错误状态产生中断使能。	0
14	par_error_en	H	奇偶校验错误状态产生中断使能。	0
13	gap_error_en	H	字间隙检验错误状态产生中断使能。	0
12	frame_break_en	H	frame break 状态产生中断使能。	0
11	rfifo_half_en	H	接收 FIFO 半满状态产生中断使能。	0
10	rfifo_full_en	H	接收 FIFO 满状态产生中断使能。	0
9	rfifo_empty_en	H	接收 FIFO 空状态产生中断使能。	0
8	error_acp	H	错误数据接收使能，使能接收错误的数据和对应的错误状态，并将它们存入 FIFO。	0
7	sdi(1)	H	设置 SDI 的 bit1。	0
6	sdi(0)	H	设置 SDI 的 bit0。	0
5	sdi_en	H	SDI decode 使能。	0
4	label_en	H	LABEL recognition 使能。	0
3	par_sel	H	奇偶校验选择 (1: odd; 0: even)。	0
2	par_en	H	奇偶校验使能。	0
1	mode25_en	H	1: 25 位字模式使能; 0: 32 位字模式使能。	0
0	rx_en	H	接收使能。	0

- bit1 (mode25\_en): 25 位模式下，接收模块只收到 25 位数据，故在填接收 fifo 时，只填 fifo 的 24~0 位，其余的 31~25 位在片内总是用 0000000 补齐。所以主机在从接收 fifo 中读取接受数据时，31~25 总为 0000000。该位必须在接收数据之前进行初始化，确定是 32bit 模式还是 25bit 模式。
- bit28(rst\_cmd): 该位被写入 1，则模块内所有的寄存器和状态都将被强行复位，寄存

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 82 页 共 139 页

器的值都被强行置为复位默认值。之后，不需要再对其进行写 0 清除，因为模块内部的逻辑电路会在其保持 1 状态一段时间后（8 个系统时钟周期）将其清 0。读此寄存器可以知道是否结束：

- 若 bit28=1，表示复位正在进行；
- 若 bit28=0，表示复位已经结束。

### 26.2.5 接收波特率设置寄存器

表 26-4 处理器中 ARINC429 总线控制器数据接收波特率设置寄存器

位	位名称	有效状态	位描述	默认值
31:16	-	-	保留未用，读值总为 0。	-
15:0	rScaler	-	接收波特率设置。	0x63

该寄存器用来设置接收模块的波特率，其值的计算公式如下所示：

$$rscaler = \frac{f_{sysclk}}{2 \times baud} - 1 \quad (\text{式 26-1})$$

- $f_{sysclk}$ ：系统时钟频率（单位：Hz）；
- baud：期望波特率（单位：bps），如：12.5K、100K 或其它值。

### 26.2.6 接收 FIFO 控制寄存器

表 26-5 处理器中 ARINC429 总线控制器数据接收模块 FIFO 控制寄存器

位	位名称	有效状态	位描述	默认值(B)
15	rfifo_rst*	H	接收 FIFO 复位命令。	0
14:5	-	-	保留未用。	-
4:0	rfifo_level	-	接收 FIFO 的 trigger level 值。	10000

\*往该位写 1，可以将接收 FIFO 的所有状态复位。该位在被写 1 以后，会被片内逻辑自动清零，故该位的读取值总为 0。

### 26.2.7 接收状态寄存器

该寄存器主要用来记录各种接收状态。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 83 页 共 139 页

表 26-6 处理器中 ARINC429 总线控制器数据接收模块状态寄存器

位	位名称	有效状态	位描述	默认值
15: 7	-	-	保留未用，总为 0。	—
6	long_word	H	长字错误状态，是接收 FIFO 的第一元素的一部分，对应上次从数据接收寄存器里读出的数据的长帧错误状态 1: 奇偶校验出错； 0: 奇偶校验未出错或未使能。	—
5	par_error	H	奇偶校验错误状态，是接收 FIFO 的第一元素的一部分，对应上次从数据接收寄存器里读出的数据的奇偶校验状态 1: 奇偶校验出错； 0: 奇偶校验未出错或未使能。	—
4	gap_error	H	字间间隙检验错误状态，是接收 FIFO 的第一元素的一部分，对应上次从数据接收寄存器里读出的数据的字间间隙检验状态 1: 字间间隙检验出错，即间隙少于 4 个位宽； 0: 字间间隙检验未出错。	—
3	frame_break	H	frame-break 状态，是接收 FIFO 的第一元素的一部分，对应上次从数据接收寄存器里读出的数据的断帧检验状态 1: 输入的两个串行连续的位间间隙超时； 0: 输入的两个串行连续的位间间隙未超时。	—
2	rfifo_half	H	接收 FIFO 半满状态 1: 接收 FIFO 中数据个数大于 leve 值； 0: 接收 FIFO 中数据个数少于或等于 leve 值。	0
1	rfifo_full	H	接收 FIFO 满状态 1: 接收 FIFO 已满； 0: 接收 FIFO 未滿。	0
0	rfifo_empty	H	接收 FIFO 空状态 1: 接收 FIFO 已空； 0: 接收 FIFO 未空。	1

- bit0 由 1 变成 0 以后，若 rControl 寄存器的 bit9=1，则将使中断有效（即 IRQ=1），该中断将在 bit0 变成 1 或 rControl 寄存器的 bit9=0 以后失效；
- bit1 由 0 变成 1 以后，若 rControl 寄存器的 bit10=1，则将使中断有效（即 IRQ=1），该中断将在 bit1 变成 0 或 rControl 寄存器的 bit10=0 以后失效；
- bit2 由 0 变成 1 以后，若 rControl 寄存器的 bit11=1，则将使中断有效（即 IRQ=1），该中断将在 bit2 变成 0 或 rControl 寄存器的 bit11=0 以后失效；

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 84 页 共 139 页

- bit3 由 0 变成 1 以后，若 rControl 寄存器的 bit12=1，则将使中断有效（即 IRQ=1），该中断只有在对寄存器 rStatus 的读操作发生后或 rControl 寄存器的 bit12=0 以后失效；
- bit4 由 0 变成 1 以后，若 rControl 寄存器的 bit13=1，则将使中断有效（即 IRQ=1），该中断只有在对寄存器 rStatus 的读操作发生后或 rControl 寄存器的 bit13=0 以后失效；
- bit5 由 0 变成 1 以后，若 rControl 寄存器的 bit14=1，则将使中断有效（即 IRQ=1），该中断只有在对寄存器 rStatus 的读操作发生后或 rControl 寄存器的 bit14=0 以后失效；
- bit6 由 0 变成 1 以后，若 rControl 寄存器的 bit15=1，则将使中断有效（即 IRQ=1），该中断只有在对寄存器 rStatus 的读操作发生后或 rControl 寄存器的 bit15=0 以后失效；

### 26.2.8 接收标识符设置寄存器

若寄存器 rControl 的接收到的 bit4=1（即 label\_en=1），则只有在接收模块接收到的数据的 Label 值与 Label\_ngp（n=1、2、3）中的 Label 值至少一个相同的时候，该数据才会被放入接收 FIFO；否则该数据将被丢弃。

若寄存器 rControl 的接收到的 bit4=0（即 label\_en=0），则无需进行 Label 比较。

表 26-7 处理器中 ARINC429 总线控制器数据接收模块接收标识符设置寄存器

位	位名称	有效状态	位描述	默认值(0x)
31:24	rLabel_4	—	标识符 4。	00
23:16	rLabel_3	—	标识符 3。	00
15:8	rLabel_2	—	标识符 2。	00
7:0	rLabel_1	—	标识符 1。	00

rLabel\_1gp、rLabel\_2gp、rLabel\_3gp 各可设 4 个标识符，故每个接收通道最多可以设置 12 个供比较的 Label 值，它们的默认值均为 0。如果某个应用系统中需要的 Label 值少于 12 个，可以将剩下的 label 设置寄存器都填入所需 Label 值中的任何一个或几个，否则，默认值 0 可能会被当作合法的标识符。

例如，某个系统所需的 label 值为 3 个：0x55、0x66、0x77，那么，在进行初始化的时候，

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 85 页 共 139 页

可以将 rLabel<sub>n</sub> (n=1、2、3、4、5、6、7、8、9、10、11、12) 中的任何 3 个设为 0x55、0x66、0x77，而剩下的 9 个也应该都填入 0x55 (或 0x66、或 0x77)，否则，由于剩下的 4 个 rLabel<sub>n</sub> 寄存器的值均为 0x00 (即复位默认值)，则 0x00 也会被当作一个合法的标识符。

### 26.3 数据发送模块

在处理器芯片中，集成了 2 通道的 ARINC429 数据发送通道模块，其根据控制寄存器的命令，以一定的奇偶方式、字间间隙将发送 FIFO 中的数据以串行方式发送出去。

#### 26.3.1 数据发送模块结构

ARINC429 的数据发送模块的结构如图 26-4 所示，其主要包含了以下部分：

- DATA ENCODER: 数据编码器；
- BAUD GENERATOR: 发送波特率发生器；
- TX CONTROL REGISTER: 发送控制寄存器；
- TX STATUS REGISTER: 发送状态寄存器；
- 32-BIT TX SHIFTER REGISTER: 32 位的发送移位寄存器；
- TX PARITY GENERATOR: 发送奇偶发生器；
- TX GAP GENERATOR: 发送字间间隙发生器；
- TX FIFO: 数据发送 FIFO (容量为 32x32)；
- APB INTERFACE: 主机接口；

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 86 页 共 139 页

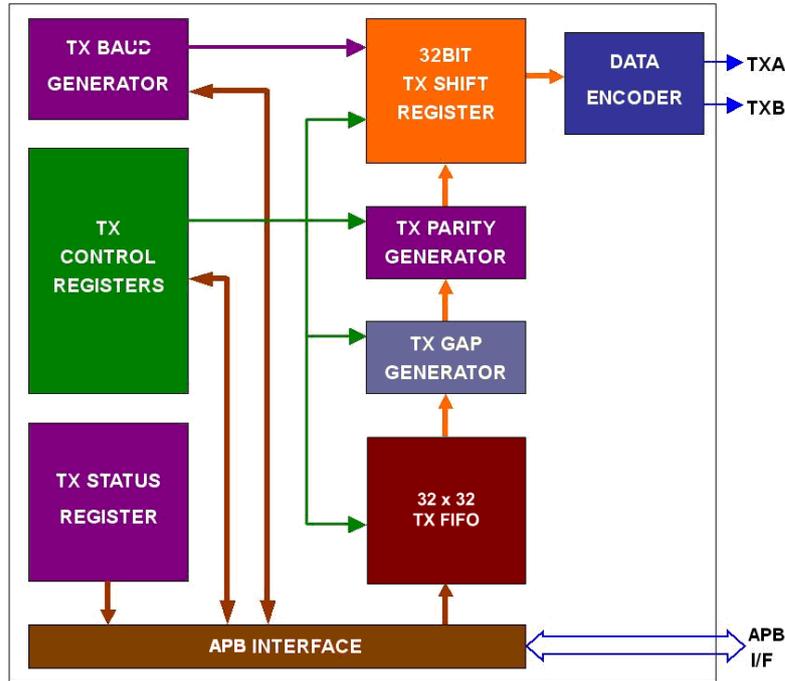


图 26-4 处理器中 ARINC429 总线控制器的数据发送模块的结构图

### 26.3.2 数据发送模块寄存器

表 26-8 处理器中 ARINC429 总线控制器数据发送模块寄存器列表

寄存器名称	访问方式	偏移地址	宽度	默认值 (0x)	寄存器描述
tData	W	000	32	-	数据发送缓存寄存器
tControl	R/W	001	32	00000000	发送控制寄存器 (含中断使能)
tScaler	R/W	010	16	0063	发送波特率分频参数寄存器
tFifoctrl	R/W	011	16	0010	发送 FIFO 控制寄存器
tStatus	R	100	16	0001	发送状态寄存器
tGap	R/W	101	16	0004	发送字间间隙配置寄存器

### 26.3.3 数据发送寄存器

该寄存器的值就是发送 FIFO 的最后元素的值。其格式见第 26.1 节。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 87 页 共 139 页

### 26.3.4 发送控制寄存器

该寄存器主要用来控制发送模块的各种操作。

表 26-9 处理器中 ARINC429 总线控制器数据发送模块控制寄存器

位	位名称	有效状态	位描述	默认值
31:29	-	-	保留未用。	-
28	rst	H	软件复位。	0
27:12	-	-	保留未用。	-
11	tfifo-half-en	H	发送 FIFO 半满状态产生中断使能。	0
10	tfifo-full-en	H	发送 FIFO 满状态产生中断使能。	0
9	tfifo-empty-en	H	发送 FIFO 空状态产生中断使能。	0
8	tx-busy-en	H	待发送数据全部发送完成中断使能。	0
7:4	—	—	保留未用。	
3	par_sel*	-	奇偶校验选择 (1: odd; 0: even)。	0
2	par-en*	H	奇偶校验使能。	0
1	mode25-en**	H	0: 32bit 模式; 1: 25bit 模式。	0
0	tx-en	H	发送使能。	0

- \* par\_sel 和 par-en 必须在在填写待发数据之前进行初始化，奇偶校验是否使能及校验形式，因为它们的状态影响待发数据在发送 FIFO 中的存储形式。
- \*\*该位必须在往发送 FIFO 中填写待发数据之前进行初始化，确定是 32bit 模式还是 25bit 模式。因为该位的状态影响数据在 FIFO 中的存储形式。25 位模式下，发送 FIFO 中每个数据只有 24~0 位有效，其余的 31~25 位在片内总是为 0。
- Bit28(rst\_cmd): 该位被写入 1，则模块内所有的寄存器和状态都将被强行复位，寄存器的值都被强行置为复位默认值。之后，不需要再对其进行写 0 清除，因为模块内部的逻辑电路会在其保持 1 状态一段时间后（8 个系统时钟周期）将其清 0。读此寄存器可以知道是否结束：
  - 若 bit28=1，表示复位正在进行；
  - 若 bit28=0，表示复位已经结束。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 88 页 共 139 页

### 26.3.5 发送波特率设置寄存器

表 26-10 处理器中 ARINC429 总线控制器数据发送波特率设置寄存器

位	位名称	有效状态	位描述	默认值
31:16	-	-	保留未用, 读值总为 0。	-
15:0	tScaler	-	发送波特率设置。	0x63

该寄存器用来设置发送模块的波特率, 其值的计算公式如下所示:

$$tscaler = \frac{f_{sysclk}}{2 \times baud} - 1 \quad (\text{式 } 26-2)$$

- $f_{sysclk}$ : 系统时钟频率 (单位: Hz);
- baud: 期望波特率 (单位: bps), 如: 12.5K、100K 或其它值。

### 26.3.6 发送 FIFO 控制寄存器

表 26-11 处理器中 ARINC429 总线控制器数据发送模块 FIFO 控制寄存器

位	位名称	有效状态	位描述	默认值
15	tfifo_rst*	H	发送 FIFO 复位命令	0
14:5	-	-	保留未用, 总为 0	-
4:0	tfifo_level	-	发送 FIFO 的 trigger level 值	10000

- \*往该位写 1, 可以将发送 FIFO 的所有状态复位。该位在被写 1 以后, 会被片内逻辑自动清零, 故该位的读取值总为 0。

### 26.3.7 发送状态寄存器

该寄存器主要用来记录各种状态。

表 26-12 处理器中 ARINC429 总线控制器数据发送模块状态寄存器

位	位名称	有效状态	位描述	默认值
15 : 4	-	-	保留未用, 总为 0	-
3	tx_busy	H	发送忙/闲状态 1: 发送状态机忙, 数据没有发送结束; 0: 发送状态机闲, 数据已经发送结束。	0
2	tfifo_half	H	发送 FIFO 半满状态 1: FIFO 中数据个数大于 leve 值; 0: FIFO 中数据个数少于或等于 leve 值。	0
1	tfifo_full	H	发送 FIFO 满状态	0

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 89 页 共 139 页

位	位名称	有效状态	位描述	默认值
			1: FIFO 已满; 0: FIFO 未空。	
0	tfifo_empty	H	发送 FIFO 空状态 1: FIFO 已空; 0: FIFO 未空。	1

- bit0 由 1 变成 0 以后, 若 tControl 寄存器的 bit9=1, 则将使中断有效 (即 IRQ=1); 该中断只有在对寄存器 tStatus 的读操作发生后或 tControl 寄存器的 bit9=0 后才失效。
- bit1 由 0 变成 1 以后, 若 tControl 寄存器的 bit10=1, 则将使中断有效 (即 IRQ=1); 该中断将在 bit1 变成 0 (即发送 FIFO 未空) 或 tControl 寄存器的 bit10=0 以后失效。
- bit2 由 0 变成 1 以后, 若 tControl 寄存器的 bit11=1, 则将使中断有效 (即 IRQ=1), 该中断将在 bit2 变成 0 (即发送 FIFO 中数据个数少于或等于 leve 值) 或 tControl 寄存器的 bit11=0 以后失效。
- bit3 由 1 变成 0 以后, 若 tControl 寄存器的 bit8=1, 则将使中断有效 (即 IRQ=1), 该中断只有在对寄存器 tStatus 的读操作发生后或 tControl 寄存器的 bit8=0 后才失效。
- 只有在 tx-busy=0 时, 才可以认为 FIFO 中待发送的数据真正全部发送结束。如果仅仅只是判断 tfifo\_empty 是否为 1 来判断发送是否结束, 并不完全充分, 因为 FIFO 可能已经空, 但发送状态机仍然在忙于进行最后一个数据的发送;

### 26.3.8 发送字间间隙配置寄存器

该寄存器用来设置被发送的连续两个 Arinc429 消息字之间的间隙 (Arinc429 标准规定最小字间间隙为 4 个位宽), 单位为 Arinc429 位宽。

表 26-13 处理器中 ARINC429 总线控制器数据发送模块字间间隙配置寄存器

位	位名称	有效状态	位描述	默认值
15 : 8	-	-	保留未用, 总为 0。	-
7 : 0	tGap	-	连续两个 Arinc429 消息字之间的间隙。	00000100

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 90 页 共 139 页

## 27 1553B 总线控制器

处理器芯片内部集成 2 通道的 1553B 总线控制器，支持 BC、RT 和 BM 三种终端类型，支持完整的 MIL-STD-1553B 协议，数据传输速率 1Mbps 和 10Mbps 可配置，存储器布局和寄存器设置同 BU-61580 兼容。

### 27.1 主要特征

- 遵循 MIL-STD-1553B 标准 (国军标 GJB289A-97 标准);
- 操作方式、寄存器设置以及存储器布局等方面同 BU-61580 兼容;
- 支持的通讯类型包括:
  - BC → RT;
  - RT → BC;
  - RT → RT;
  - Broadcast;
  - Mode code;
- 能被配置为 BC、RT、BM 三种类型的控制器;
- 支持 1Mbps、10Mbps 两种传输速度;
- 带 4K\*16Bit 的集成 DPRAM;
- 外部接口支持通用的 1553B 总线收发器: HI1567、HI1573 等
- 带 A、B 双冗余通道;
- BC 性能:
  - 支持 A/B 区域;
  - 具有自动重发功能;
  - 可编程的消息间隔时间;
  - 帧自动重复发送;
  - 可编程的超时响应时间;
- RT 性能:
  - 可编程的 RT 地址, 子地址;

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 91 页 共 139 页

- 支持单缓冲存储器管理方式;
- 可编程的非法命令表;
- 可编程的方式代码中断表;
- 可编程的子地址忙表;
- BM 性能:
  - 能够实时侦听总线上的数据流, 可以将所有的数据流记录下来, 也可以有选择地进行数据监听;
  - 支持命令堆栈半满、全满溢出;
  - 支持数据堆栈半满、全满溢出;
  - 命令堆栈与数据堆栈独立;
  - 对每条消息有相应的属性标志;

## 27.2 结构描述

处理器中的 1553B 主要包括通信协议模块 A、通信协议模块 B、主机信号接口模块、配置寄存器模块、存储管理模块和时钟管理与主控制模块等。其中 1553 通信协议模块部分用差分曼彻斯特编码实现时分命令响应式串行通讯, 主要包括 A、B 通道编码器和解码器; 主机信号接口模块实现 1553B 模块与 CPU 的接口, 用来实现 CPU 对 1553B 模块的控制; 配置寄存器主要实现对 1553B 模块功能的配置, 能够间接反映 1553B 模块的功能; 存储管理为 CPU 和 1553B 模块之间交互数据的管理方式, 主要为 4K\*16BIT 的双口 RAM; 时钟管理与主控制模块实现对输入时钟的管理和对 1553B 模块的基本通讯功能的实现与控制, 是 1553B 模块的中心控制单元, 能配置成 BC、RT、BM 三种类型的控制器。

OBT1553 模块的结构如图 27-1 所示, 其内部各个子各模块与以及各个信号端口的说明分别如下表 27-1 和

表 27-2 所示:

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 92 页 共 139 页

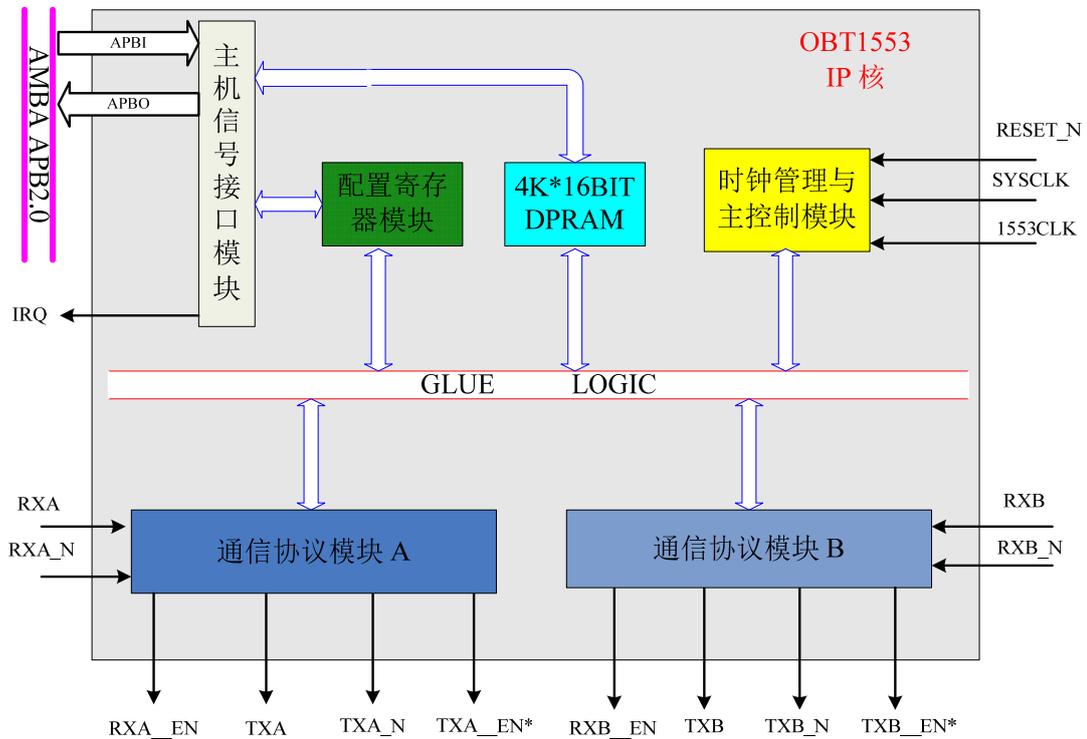


图 27-1 处理器中 1553B 模块结构框图

表 27-1 处理器中 1553B 模块各子模块说明

序号	模块名称	模块描述
1	通信协议模块 A/B	通信协议模块部分用差分曼彻斯特编码实现时分命令响应式串行通讯，主要包括 A、B 通道编码器和解码器
2	主机信号接口模块	主机信号接口模块实现 1553 IP 核与 CPU 的接口，用来实现 CPU 对 OBT1553B IP 核的控制
3	配置寄存器模块	配置寄存器主要实现对 OBT1553 IP 核功能的配置，能够间接反映 1553 IP 核的功能
4	存储管理模块 (4K*16BIT DPRAM)	存储管理为 CPU 和 1553 IP 核之间交互数据的管理方式，主要为 4K*16BIT 的双口 RAM
5	时钟管理与主控制模块	时钟管理与主控制模块实现对输入时钟的管理和对 OBT1553 IP 核的基本通讯功能的实现与控制，是该 IP 核的中心控制单元能配置成 BC 或 RT 控制器

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 93 页 共 139 页

表 27-2 处理器中 1553B 模块的端口信号说明

序号	信号名称	信号方向	默认状态	信号描述
1	AMBA APB2.0	I/O	均为 0	主机接口接 AMBA. APB2.0 信号, 主要是地址线, 数据线, 读写控制线
2	RXA	I	0	通道 A 接收信号
3	RXA_N	I	0	通道 A 接收信号的反
4	RXA_EN	0	0	通道 A 接收使能信号, 主要为外接 HI-1567PSI 芯片时的使能
5	TXA	0	0	通道 A 发送信号
6	TXA_N	0	0	通道 A 发送信号的反
7	TXA_EN*	0	1	通道 A 发送使能信号, 主要为外接 HI-1567PSI 芯片时的使能
8	RXB	I	0	通道 B 接收信号
9	RXB_N	I	0	通道 B 接收信号的反
10	RXB_EN	0	0	通道 B 接收使能信号, 主要为外接 HI-1567PSI 芯片时的使能
11	TXB	0	0	通道 B 发送信号
12	TXB_N	0	0	通道 B 发送信号的反
13	TXB_EN*	0	1	通道 B 发送使能信号, 主要为外接 HI-1567PSI 芯片时的使能
14	RESET_N	I	1	外部复位信号低电平有效
15	SYSCLK	I	外部确定	主机输入时钟
16	1553CLK	I	16MHz	1553 收发模块专用时钟
17	IRQ	0	0	中断信号输出, 高电平有效

## 27.3 功能描述

### 27.3.1 总线控制器 (BC)

当主控制器配置为 BC 总线控制器时, 则实现 BC 总线控制器功能。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 94 页 共 139 页

BC 总线控制器控制通讯数据流的传输，是数据发送和接收的发起者和总线网络的管理者。控制计算机将数据写入 BC 总线控制器的内部存储器，并通过 开始/启动（SSR）寄存器来启动 BC 总线控制器进行数据传输。对于每个消息，BC 总线控制器通过 BC 控制字初始化 BC 总线控制器的状态从而发起数据传输（发送或者接收），并通过 BC 命令字通知 RT 响应数据传输（接收或者发送）。BC 总线控制器还可以通过模式命令对 RT 进行控制，包括读取同步和状态字等内容。

BC 总线控制器一方面通过 BC 模块状态字判断接受到的数据是否正确（包括奇偶校验）、响应是否超时等，另一方面通过读回的 RT 状态字，判断 RT 接收的数据是否正确、响应是否超时等。BC 模块状态字和读回的 RT 状态字均正常，说明数据传输正常。

如果传输过程中出现错误（BC 状态字和 RT 状态字异常），BC 总线控制器通过中断通知控制计算机进行处理，如消息重发。如果 BC 总线控制器出现灾难性故障，控制计算机（指 BC 的控制计算机）对 BC 复位。

### 27.3.2 远程终端（RT）

当主控制器配置为 RT 远程终端时，则实现 RT 远程终端功能。

RT 能根据协议在规定的时间内响应 BC 总线控制器发出的命令，进行数据接收或发送。RT 对输入信号进行检测，当检测到跟该 RT 地址一致的命令字后，响应数据传输。对于发送命令，RT 在发送数据之前将 RT 状态字通过 1553 总线发送给 BC；对于接收命令，RT 在接收完数据后将 RT 状态字通过 1553 总线发送给 BC。BC 通过 RT 状态字判断本次数据传输（发送/接收）是否有效。

当接受到模式命令后，RT 需要对接受到的模式命令进行响应。

### 27.3.3 总线监视器（BM）

BM 能够实时侦听总线上的数据流，可以将所有的数据流记录下来，也可以有选择地进行数据监听。并设有命令存储区半满、全满标志和数据存储区半满、全满标志。

## 27.4 地址空间分配

处理器芯片中集成了 2 通道的 1553B 总线控制器，它们不仅功能、工作方式和操作方式相同，而且寄存器和存储器的数量、格式、定义以及偏移地址等均相同，只是各自的寄存器/存储器的基地址不同。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 95 页 共 139 页

表 27-3 处理器中 1553B 模块地址空间分配

偏移地址	基地址	寄存器的地址空间	存储器的地址空间
通道-1	0x80020000	0x80020000 ~ 0x80020040	0x80024000 ~ 0x80027FFF
通道-2	0x80030000	0x80030000 ~ 0x80030040	0x80034000 ~ 0x80037FFF

1553B 模块中的存储器的容量为 4K\*16bit，可以通过 APB 总线直接进行读写访问，且存储器的每 16bits 为一个被访问单位（即一个字），对应 APB 数据总线的低 16 位（此时，APB 数据总线的高 16 位未定义，读值总为 0）。

1553B 模块中的存储器的每一个字（16bits）占用 APB 的一个 32 位的地址空间，如 1553B 通道 1 的存储器的第 1 个字的地址为 0x80024000，第 2 个字的地址为 0x80024004，第 3 个字的地址为 0x80024008，第 4 个字的地址为 0x8002400C，第 5 个字的地址为 0x80024010，第 6 个字的地址为 0x80024014... 以此类推，第 4096 个字的地址为 0x80027FFC。

## 27.5 寄存器定义及描述

表 27-4 处理器中 1553B 模块寄存器偏移地址分配

偏移地址	读/写	有效位宽	默认值 (HEX)	寄存器描述
0x00	RD/WR	16	0000	中断屏蔽寄存器 (IMR)
0x01	RD/WR	16	0000	配置寄存器 1 (CFG1)
0x02	RD/WR	16	0000	配置寄存器 2 (CFG2)
0x03	WR	16	0000	启动/复位寄存器 (SRR)
0x03	RD	16	0000	BC/RT/BM 命令堆栈指针寄存器 (STACK_ADDR)
0x04	RD/WR	16	0000	BM 初始命令堆栈指针寄存器
0x05	RD	16	0000	时间标签寄存器 0 (TTR0)
0x06	RD	16	0000	中断状态寄存器 (INT_STA)
0x07	RD/WR	16	0000	配置寄存器 3 (CFG3)
0x08	RD/WR	16	0000	配置寄存器 4 (CFG4)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 96 页 共 139 页

偏移地址	读/写	有效位宽	默认值 (HEX)	寄存器描述
0x09	RD/WR	16	0000	配置寄存器 5 (CFG5)
0x0A	RD	16	0000	BM 数据堆栈指针寄存器 (BM_STACK_ADDR)
0x0B	RD	16	0000	1Mbps/10Mbps 配置寄存器
0x0C	RD	16	0000	保留
0x0D	RD	16	0000	RT 上一命令字寄存器 (LAST_CMD)
0x0D	WR	16	0000	BC 帧时间寄存器
0x0E	RD	16	0000	RT 状态字寄存器 (RT_STA)
0x0F	RD	16	0000	RT BIT 字寄存器 (RT_BIT_REG)
0x10	RD	16	0000	时间标签寄存器 1 (TTR1)
0x11	RD	16	0000	
0x12	RD/WR	16	0000	

表 27-5 处理器中 1553B 模块中断屏蔽寄存器 (IMR)

位 (BIT)	描述 (DESCRIPTION)
15	保留
14	RAM 奇偶校验错误 (RAM PARITY ERROR)
13	BC/RT 传输器超时 (BC/RT TRANSMITTER TIMEOUT)
12	BC/RT 命令堆栈溢出/ BM 命令堆栈半满溢出
11	BM 命令堆栈溢出 (BM COMMAND STACK ROLLOVER)
10	BM 数据堆栈溢出 (BM DATA STACK ROLLOVER)
9	保留
8	BC 重发/BM 数据半满溢出
7	RT 地址奇偶校验错误 (RT ADDRESS PARITY ERROR)
6	时间标签寄存器溢出 (TIME TAG ROLLOVER)
5	保留
4	BC 消息消息结束 (BC MSG EOM)
3	BC 帧结束 (BC END OF FRAME)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 97 页 共 139 页

位 (BIT)	描述 (DESCRIPTION)
2	格式错误 (FORMAT ERROR)
1	BC 状态置位/RT 方式代码 (BC STATUS SET/RT MODE CODE)
0	消息结束 (END OF MESSAGE)

中断屏蔽寄存器中位如置 1 表示打开对应中断状态寄存器的中断, 如置 0 表示关闭对应的中断状态寄存器的中断。

- **BIT14:** 当使能 (置 1) 该位则 RAM 数据奇偶校验出错时产生中断。
- **BIT13:** IP 核内置看门狗, 当使能 (置 1) 该位则传输编码时间超过 668us 时产生中断。
- **BIT12:** IP 核命令堆栈大小为 256 字, 当使能 (置 1) 该位则在 BC/RT 类型下命令堆栈指针超出 256 则产生中断; 当在 BM 类型下则在命令堆栈半满时产生中断。
- **BIT11:** 当使能 (置 1) 该位则 BM 命令堆栈溢出时产生中断。
- **BIT10:** 当使能 (置 1) 该位则 BM 数据堆栈溢出时产生中断。
- **BIT8:** 当使能 (置 1) 该位则在 BC 类型下 BC 重发消息前将产生中断; 如果在 BM 类型下数据堆栈半满溢出将产生中断。
- **BIT7:** 在 RT 模式下当使能 (置 1) 该位那么如果 RTAD4-RTAD0 与 RTADP 共六位进行奇偶的结果是 0 就产生中断。
- **BIT6:** 当使能 (置 1) 该位那么当时标寄存器 TT2 溢出时产生中断。
- **BIT4:** 当使能 (置 1) 该位那么当作 BC 总线控制器时 BC 控制字中的 BIT4 位为 1 则消息结束产生中断。
- **BIT3:** 当使能 (置 1) 该位那么 BC 帧发送结束产生中断。
- **BIT2:** 当使能 (置 1) 该位那么格式错误时产生中断。
- **BIT1:** 当使能 (置 1) 该位那么当作 BC 时, BC 收到的状态字中有置 1 的位, 则产生中断; 当作 RT 时子地址查找表中方式字对应位为 1 则产生中断。
- **BIT0:** 当使能 (置 1) 该位那么当 BC/RT 发送/接收消息结束产生中断。

表 27-6 处理器中 1553B 模块 BC 配置寄存器 1 (BC-CFG1)

位 (BIT)	描述 (DESCRIPTION)
15 (MSB)	BC/RT/BM 模式设置 (RT/BM*-BC*)
14	BC/RT/BM 模式设置 (BM/RT*-BC*)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 98 页 共 139 页

位 (BIT)	描述 (DESCRIPTION)
13	A*/B 区域设置 (CURRENT AREA A*/B)
12-9	保留
8	帧自动重复发送使能 (FRAME AUTO-REPEAT)
7-6	保留
5	消息间隔时间使能 (MESSAGE GAP TIMER ENABLED)
4	消息重发使能 (RETRY ENABLED)
3	消息重发一次或二次选择 (DOUBLE/SINGLE* RETRY)
2	BC 使能 (BC ENABLED), 该位只读
1	BC 帧信息忙指示 (BC FRAME IN PROGRESS), 该位只读
0 (LSB)	BC 消息忙指示 (BC MESSAGE IN PROGRESS), 该位只读

BC 配置寄存器 1 主要用作 1553 总线控制器工作模式的选择, 还有是否使能消息重发、帧重复发送功能, 以及 1553 总线控制器工作状态的指示等。

- **BIT15, BIT14:** 此两位组合为 00 设置为 BC 模式, 10 设置为 RT 模式, 01 设置为 BM 模式, 11 则保持为上电初始状态。
- **BIT13:** 该位为 0 则使用 RAM 的 A 区域, 该位为 1 则使用 RAM 的 B 区域。
- **BIT8:** 该位为 0 则 BC 发送完一帧数据就停止, 若该位为 1 则帧重复发送直到启动/复位寄存器 (SSR) 中的 BIT0 (RESET)、BIT5 (STOP\_ON\_FRAME), BIT6 (STOP\_ON\_MESSAGE) 中任意位为 1 才会停止。
- **BIT5:** 该位为 0 则消息之间间隔时间固定为近似 8 到 11us, 这位为 1 则消息之间的间隔时间通过 BC 命令堆栈的第三个字指定, 其指定范围为最小约 8us 到最大约 65535us, 时间精度为 1us。当为 10Mbps 传输速度时则相应为以前的 0.2 倍。
- **BIT4:** 该位为 0, BC 对所有的消息都不重发, 该位为 1 且 BC 控制字的 BIT8 也为 1 那么该消息在返回状态字出错, 响应时间超时则重发消息。
- **BIT3:** 在配置寄存器 1 (CFG1) 的 BIT4 为 1 的条件下, 该位为 0 则该消息在返回状态字出错, 响应时间超时则重发一次; 该位为 1 则该消息在返回状态字出错, 响应时间超时则重发消息两次。
- **BIT2:** 该位为只读位, 含义同 BIT1。
- **BIT1:** 该位为只读位, 在帧的第一个消息启动后到帧的最后一个消息结束一直被设为

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 99 页 共 139 页

1, 在帧自动重复发送模式下则一直保持为 1 直到帧重复发送结束。

- **BIT0:** 该位在 BC 总线控制器每个消息开始传输时置为 1, 在消息结束传输时清为 0。

表 27-7 处理器中 1553B 模块 RT 配置寄存器 1 (RT- CFG1)

位 (BIT)	描述 (DESCRIPTION)
15 (MSB)	BC/RT/BM 模式设置 (RT/BM*-BC*)
14	BC/RT/BM 模式设置 (BM/RT*- BC*)
13-12	保留
11	动态总线控制接收* (DYNAMIC BUS CONTROL ACCEPTANCE*)
10	忙* (BUSY*)
9	服务请求* (SERVICE REQUEST*)
8	子系统标志* (SUBSYSTEM FLAG*)
7	RT 标志* (RTFLAG*)
6-1	保留
0	BC 消息忙指示 (BC MESSAGE IN PROGRESS), 该位只读

- **BIT15, BIT14:** 此两位组合为 00 设置为 BC 模式, 10 设置为 RT 模式, 01 设置为 BM 模式, 11 则保持为上电初始状态。
- **BIT11:** 该位为 0 则 RT 状态字寄存器的 BIT1 位为 1。
- **BIT10:** 该位为 0 则 RT 状态字寄存器的 BIT3 位为 1。
- **BIT9:** 该位为 0 则 RT 状态字寄存器的 BIT8 位为 1。
- **BIT8:** 该位为 0 则 RT 状态字寄存器的 BIT2 位为 1。
- **BIT7:** 该位为 0 则 RT 状态字寄存器的 BIT0 位为 1。
- **BIT0:** 该位在 BC 总线控制器每个消息开始传输时置为 1, 在消息结束传输时清为 0。

表 27-8 处理器中 1553B 模块配置寄存器 2 (CFG2)

位 (BIT)	描述 (DESCRIPTION)
15-14	保留
13	忙查找表使能 (BUSY LOOK UP TABLE ENABLE)
12-10	保留
9-7	时间标签最小精度设置 (TIME TAG RESOLUTION2, 1, 0)
6	同步清除时标寄存器使能 (CLEAR TIME TAG ON SYNCHRONIZE)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 100 页 共 139 页

位 (BIT)	描述 (DESCRIPTION)
5	同步重载时标寄存器使能 (LOAD TIME TAG ON SYNCHRONIZE)
4	中断状态自动清除 (INTERRUPT STATUS AUTO CLEAR)
3	电平/脉冲中断 (LEVEL/PULSE *INTERRUPT REQUEST)
2	清除服务请求 (CLEAR SERVICE REQUEST)
1-0	保留 (其中 BIT1 可进行读写, 但没有实际意义)

- **BIT13:** 该位为 1 则使能 RT 的忙位查找表。
- **BIT9, BIT8, BIT7:** 000 则最小精度为 64us, 001 则最小精度为 32us, 010 则最小精度为 16us, 011 则最小精度为 8us, 100 则最小精度为 4us, 101 则最小精度为 2us, 110 则最小精度为 1us, 111 则最小精度为 128us。当传输速率为 10Mbps 时则最小精度缩小 5 倍, 也就是 000 则最小精度为 12.8us, 001 则最小精度为 6.4us 依此类推。
- **BIT6:** 该位为 1 则当 RT 收到同步方式字 (方式代码为 00001) 时 RT 的时间标签寄存器清 0。
- **BIT5:** 该位为 1 则当 RT 收到同步方式字 (方式代码为 10001) 时 RT 的时间标签寄存器重新导入方式代码带的数值。
- **BIT4:** 该位为 1 则 CPU 读出中断状态寄存器的值后, 中断状态寄存器自动清 0。
- **BIT3:** 该位为 0 产生脉冲中断信号, 为 1 则产生电平中断信号, 在该 IP 核中建议用电平中断。
- **BIT2:** 该位为 1 则当 RT 收到方式字 (方式代码为 10000) 时, 将自动将服务请求撤消。也就是将 RT 配置寄存器 1 的 BIT9 置 1, RT 状态寄存器的 BIT8 置 0。

表 27-9 处理器中 1553B 模块启动/复位寄存器 (SRR)

位 (BIT)	描述 (DESCRIPTION)
15-7	保留
6	BC 停止消息发送 (BC STOP-ON-MESSAGE)
5	BC 停止帧发送 (BC STOP-ON-FRAME)
4	保留
3	时间标签寄存器清零 (TIME TAG RESET)
2	中断状态寄存器清零 (INTERRUPT RESET)
1	BC/BM 启动 (BC/BM START)
0	系统软复位 (RESET)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 101 页 共 139 页

启动 / 复位寄存器 (SSR) 用作 “命令” 类型的功能，能实现软复位，BC 启动，中断状态寄存器复位，时间标签寄存器 (TTR) 复位，在帧自动重复发送时还可以停止帧的自动重复发送。

- **BIT6:** 置 1 则在一个正在发送的消息发送完毕后即停止 BC 工作，如果没有消息在处理则立即停止 BC 工作。
- **BIT5:** 置 1 则在一个正在发送的帧发送完毕后即停止 BC 工作，如果没有帧在处理则立即停止 BC 工作。
- **BIT3:** 置 1 清时间标签寄存器 0, 1, 2 均被清为 0。
- **BIT2:** 置 1 除了中断状态寄存器的 BIT 7 位 (RT 地址奇偶位错) 不被清除其余位均被清除到 0。
- **BIT1:** 置 1 时在 BC 模式下启动帧传输; 在 BM 模式下启动 BM 监视。
- **BIT0:** 置 1 则进行软复位，立即停止正在进行的处理。所有的寄存器和内部状态都被复位到上电时的初始态。

表 27-10 处理器中 1553B 模块 BC/RT 命令堆栈指针寄存器 (STACK\_ADDR)

位 (BIT)	描述 (DESCRIPTION)
15-0	BC/RT/BM 命令堆栈指针

BC/RT/BM 命令堆栈寄存器主要寄存 BC/RT/BM 命令堆栈指针，当作 BC 时将消息数据读出后该指针递增 4；当作 RT 时 RT 接到新的消息时该指针递增 4；当作 BM 时 BM 接到新的消息时该指针递增 4。

表 27-11 处理器中 1553B 模块 BM 初始命令堆栈指针寄存器 (INIT\_STACK\_ADDR)

位 (BIT)	描述 (DESCRIPTION)
15-0	BM 命令堆栈指针初始位置

BM 初始命令堆栈指针寄存器主要用于设置最初的命令堆栈指针，默认为 0X0000H 即从 RAM 的第一个单元开始保存接收到的数据。

表 27-12 处理器中 1553B 模块时间标签寄存器 0 (TTR)

位 (BIT)	描述 (DESCRIPTION)
15-0	时间计时标签位

时间标签寄存器 0 用于寄存 OBT1553 计时结果的 BIT15-BIT0 位。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 102 页 共 139 页

表 27-13 处理器中 1553B 模块中断状态寄存器 (INT-STA)

位 (BIT)	描述 (DESCRIPTION)
15	中断请求 (MASTER INTERRUPT)
14	保留
13	BC/RT 传输器超时 (BC/RT TRANSMITTER TIMEOUT)
12	BC/RT 命令堆栈溢出/BM 命令堆栈半满溢出
11	BM 命令堆栈溢出 (BM COMMAND STACK ROLLOVER)
10	BM 数据堆栈溢出 (BM DATA STACK ROLLOVER)
9	保留
8	BC 重发 (BC RETRY) /BM 数据半满溢出
7	RT 地址奇偶校验错误 (RT ADDRESS PARITY ERROR)
6	时间标签寄存器溢出 (TIME TAG ROLLOVER)
5	保留
4	BC 消息结束 (BC MSG EOM)
3	BC 帧结束 (BC END OF FRAME)
1	BC 状态置位/RT 方式代码 (BC STATUS SET/RT MODE CODE)
0	消息结束 (END OF MESSAGE)

- **BIT15:** BIT14-BIT0 中的任意一位为 1 则该位为 1。
- **BIT13:** IP 核内置看门狗, 当传输编码时间超过 668us 时该位置 1 (即每次同步头加所有数据个数传输时间超过 668us 时则传输器超时)。
- **BIT12:** IP 核命令堆栈大小为 256 字, 当在 BC/RT 类型下命令堆栈指针超出 256 时该位置 1; 当在 BM 类型下则在命令堆栈半满时该位置 1。
- **BIT11:** BM 命令堆栈溢出时则该位为 1。
- **BIT10:** BM 数据堆栈溢出时则该位为 1。
- **BIT8:** 在 BC 类型下 BC 重发消息前将该位置 1; 如果在 BM 类型下数据堆栈半满溢出时该位置 1。
- **BIT7:** 在 RT 模式下那么如果 RTAD4-RTAD0 与 RTADP 共六位进行奇偶的结果是 0 就时该位置 1。
- **BIT6:** 当时标寄存器计时到 TTR2 溢出时该位置 1, 也就是说这一位跟 TTR0、TTR1, TTR2 都有关系。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 103 页 共 139 页

- **BIT4:** 当作在中断屏蔽寄存器相应位不使能的情况下如果为 BC 总线控制器时 BC 控制字中的 BIT4 位为 1 则消息结束时该位置 1。
- **BIT3:** BC 帧发送结束时该位置 1。
- **BIT2:** 格式错误时该位置 1，格式错误是指响应超时、奇偶校验错、编码错、计数错等。也就是说它包括了响应超时错和 BC 块状态字的格式错，所以中断状态寄存器的格式错置 1 了则有可能是 BC 块状态字的格式错位 (BIT10) 置 1 或 BC 块状态字的响应超时位 (BIT9) 置 1。
- **BIT1:** 当作 BC 时，BC 收到的状态字中有置 1 的位，则产生中断；当作 RT 时子地址查找表中方式字对应位为 1 时该位置 1。
- **BIT0:** 当 BC/RT 发送/接收消息结束时该位置 1。

表 27-14 处理器中 1553B 模块配置寄存器 3 (CFG3)

位 (BIT)	描述 (DESCRIPTION)		
15-13	保留		
12-11	BM 命令堆栈大小设置位 1, 0	BIT12, BIT11	全满消息条数
		00	20
		01	40
		10	80
10-8	BM 数据堆栈大小设置位 2-0	11	160
		BIT10, BIT9, BIT8	全满字个数
		000	3328
		001	1664
		010	832
		011	416
		100	208
		101	624
110	1248		
111	2496		
7	非法命令查找表使能 (ILLEGALIZATION DISABLED)		
4	接收非法命令屏蔽 (ILLEGAL RX TRANSFER DISABLE)		
3	接收忙屏蔽 (BUSY RX TRANSFER ENABLE)		

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 104 页 共 139 页

位 (BIT)	描述 (DESCRIPTION)
2-1	保留
0	增强方式代码功能 (ENHANCED MODE CODE HANDLING)

- **BIT12, BIT11:** 这两位为 BM 命令堆栈大小设置位, “00” 时表示收到 20 条消息时全满溢出, 半满溢出则是收到 10 条消息; “01” 时表示收到 40 条消息时全满溢出, 半满溢出则是收到 20 条消息; “10” 时表示收到 80 条消息时全满溢出, 半满溢出则是收到 40 条消息; “11” 时表示收到 160 条消息时全满溢出, 半满溢出则是收到 80 条消息。
- **BIT10-BIT8:** 这三位为 BM 数据堆栈大小设置位, 当全满溢出时接收到的数据字个数如表中所示, 半满溢出则少一半。如 “000” 时表示收到 3328 个数据字时全满溢出, 半满溢出则是收到 1664 个数据字。
- **BIT7:** 该位为 1, 使能 RT RAM 中的非法命令查找表。
- **BIT4:** 该位为 0, 则在接收到非法命令时将接收到的数据写入 RAM 中, 否则在接收到非法命令时不将接收到的数据写入 RAM 中。
- **BIT3:** 该位为 0, 则在忙时将接收到的数据写入 RAM 中, 否则在忙时不将接收到的数据写入 RAM 中。
- **BIT0:** 该位为 1, 使能 RT RAM 中的方式代码查找表。

表 27-15 处理器中 1553B 模块配置寄存器 4 (CFG4)

位 (BIT)	描述 (DESCRIPTION)
15-9	保留
8	第一次重发通道选择 (FIRST RETRY ALT/SAME* BUS)
7	第二次重发通道选择 (SECOND RETRY ALT/SAME* BUS)
6-4	保留
3	RT 地址配置使能 (LATCH RT ADDRESS WITH CFG REG #5)
2-0	保留

- **BIT8:** 置 0 则在最初发送的消息失败后第一次重发的消息与最初发送的消息在同一通道上传输。置 1 则在最初发送的消息失败后第一次重发的消息不再最初发送的消息的通道上传输。
- **BIT7:** 置 0 则在第一次重发的消息失败后第二次重发的消息与第一次重发的消息在同一通道上传输。置 1 则在第一次重发的消息失败后第二次重发的消息不再第一次重发的

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 105 页 共 139 页

消息的通道上传输。此位只有在配置寄存器 1 (CFG1) 的 BIT3 位为 1 才有效。

- **BIT3:** 当该位为 1 时配置寄存器 5 的 BIT5-BIT0 才可写。

表 27-16 处理器中 1553B 模块配置寄存器 5 (CFG5)

位 (BIT)	描述 (DESCRIPTION)
15-11	保留
10-9	超时响应时间设置 (RESPONSE TIMEOUT SELECT1, 0)
8-6	保留 (其中 BIT6 可进行读写, 但没有实际意义)
5-1	RT 地址位 4-0 (RT ADDRESS4-ADDRESS0)
0	RT 地址奇偶位 (RT ADDRESS PARITY)

- **BIT10, BIT9:** 超时响应时间设置, 如为 00 是 19us, 01 是 23us, 10 是 51us, 11 是 130us。  
当为 10Mbps 的传输速度时则均为 1M 的 0.2 倍, 如 00 是 3.8us。
- **BIT5-BIT1:** 配置 RT 地址。
- **BIT0:** 配置 RT 校验位, 该位与 BIT5-BIT1 的异或结果要为 1。

表 27-17 处理器中 1553B 模块 BM 数据堆栈指针寄存器 (BM\_STACK\_ADDR)

位 (BIT)	描述 (DESCRIPTION)
15-0	BM 数据堆栈指针

BM 数据堆栈寄存器主要寄存 BM 数据堆栈指针, BM 接到新的数据时该指针递增 1。

表 27-18 处理器中 1553B 模块 1Mbps/10Mbps 配置寄存器 (1M\_10M\_SEL)

位 (BIT)	描述 (DESCRIPTION)
15-1	保留
0	1Mbps/10Mbps 设置位

- **BIT0:** 该位为 0 选择的是 1Mbps 的传输率, 该位为 1 选择的是 10Mbps 的传输率。

表 27-19 处理器中 1553B 模块 BC 帧时间/RT 上一命令字寄存器 (LAST\_CMD)

位 (BIT)	描述 (DESCRIPTION)
15-0	BC 帧时间/RT 上一命令字寄存器

该寄存器用作 BC 帧时间设置寄存器时为可写, RT 上一命令字时为可读。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 106 页 共 139 页

表 27-20 处理器中 1553B 模块 RT 状态字寄存器 ( RT-STA)

位 (BIT)	描述 (DESCRIPTION)
15-11	均为 0
10	消息错误 (MESSAGE ERROR)
9	测试手段 (INSTRUMENTATION)
8	服务请求 (SERVICE REQUEST)
7-5	保留
4	广播指令接收 (BROADCAST COMMAND RECEIVED)
3	忙 (BUSY)
2	子系统标志 (SYBSYSTEM FLAG)
1	动态总线控制接收 (DYNAMIC BUS CONTROL ACCEPT)
0	终端标志 (TERMINAL FLAG)

- **BIT10:** 如该位为 1 则表明有消息错误。消息错误是指响应超时、奇偶校验错、编码错、计数错, 非法命令等。
- **BIT9:** 该位在 OBT1553B IP 中一直为 0。
- **BIT8:** 如该位为 1 则表明 RT 有服务请求。
- **BIT4:** 如该位为 1 则表明通讯方式是广播通讯方式。
- **BIT3:** 如该位为 1 则表明系统正忙。
- **BIT2:** 子系统标志位。
- **BIT1:** 动态总线控制接收标志位。
- **BIT0:** 终端标志位。

表 27-21 处理器中 1553B 模块 RT BIT 字寄存器 ( RT-BIT-REG)

位 (BIT)	描述 (DESCRIPTION)
15	传输器超时 (TRANSMITTER TIMEOUT)
14-12	保留
11	通道 B 发送器关闭 (TRANSMITTER SHUTDOWN B)
10	通道 A 发送器关闭 (TRANSMITTER SHUTDOWN A)
9	终端标志禁止 (TERMINAL FLAG INHIBITED)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 107 页 共 139 页

位 (BIT)	描述 (DESCRIPTION)
8	总线传输通道 B/A* (CHANNEL B/A*)
7	保留
6	字计数错 (WORD COUNT ERROR)
5	错误数据同步头 (INCORRECT SYNC RECEIVED)
4	奇偶/位计数错 (PARITY/BIT COUNT ERROR)
3	RT-RT 同步头/地址错 (RT-RT SYNC/ADDRESS ERROR)
2	RT-RT 响应超时 (RT-RT NO RESPONSE ERROR)
1	RT-RT 第二个命令字错 (RT-RT 2ND COMMAND WORD ERROR)
0	命令字内容错 (COMMAND WORD CONTENTS ERROR)

- **BIT15:** 当每次同步头加所有数据个数传输时间超过 668us 时则传输器超时, 此时该位置 1。
- **BIT11:** 当接收到关闭通道方式代码时如果通道 B 发送器被关闭则该位置 1。
- **BIT10:** 当接收到关闭通道方式代码时如果通道 A 发送器关闭则该位置 1。
- **BIT9:** 当接收到终端标志禁止方式代码时则该位置 1。
- **BIT8:** 消息传输在 A 通道进行为 0, 消息传输在 B 通道进行为 1。
- **BIT6:** RT 接收到的字计数错则该位置 1。
- **BIT5:** RT 接收到的数据同步头出错时该位置 1。
- **BIT4:** RT 接收到的数据有奇偶校验错或位计数错则该位置 1。
- **BIT3:** RT-RT 同步头/地址错则该位置 1, 包括了第二个命令字同步头错, RT 地址错。
- **BIT2:** RT-RT 通讯时响应超时则该位置 1。
- **BIT1:** RT-RT 通讯时第二个命令字错则该位置 1, 包括了第二个命令字的位计数错、奇偶校验错。
- **BIT0:** RT-RT 第二个命令字内容出错则该位置 1, 它指的是 RT 地址错。

表 27-22 处理器中 1553B 模块时间标签寄存器 1 (TTR1)

位 (BIT)	描述 (DESCRIPTION)
15-0	时间计时标签位

时间标签寄存器用于寄存 OBT1553 计时结果的 BIT31-BIT16 位。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 108 页 共 139 页

表 27-23 处理器中 1553B 模块 BC 控制字 (BC\_CTRL)

位 (BIT)	描述 (DESCRIPTION)
15	保留
14	消息格式错误屏蔽 (M. E. MASK)
13	服务请求位屏蔽 (SERVICE REQUEST BIT MASK)
12	忙位屏蔽 (SUBSYS BUSY BIT MASK)
11	子系统标志位屏蔽 (SUBSYS FLAG BIT MASK)
10	终端标志位屏蔽 (TERMINAL FLAG BIT MASK)
9	保留
8	重试使能 (RETRY ENABLED)
7	总线通道选择 A/B* (bus channel a/b*)
6	保留
5	保留
4	EOM 中断使能 (EOM INTERRUPT ENABLE)
3	保留
2	模式命令 (MODE CODE FORMAT)
1	广播命令 (BROADCAST FORMAT)
0	RT2RT (RT-TO-RT FORMAT)

- **BIT14-BIT10:** 这 5 位均为为 1 则屏蔽相应的 RT 状态字位, 如果 RT 状态字位某位被屏蔽则该位不影响中断状态寄存器的 (INT\_STA) 的 BIT1 位和 BC 块状态字的 BIT7 位。
- **BIT8:** 置 1 且配置寄存器 1 (CFG1) 的 bit4 为 1 则在响应超时和格式错误时消息重发。
- **BIT7:** 置 1 消息传输通过 A 通道, 置 0 消息传输通过 B 通道。
- **BIT4:** 该位置 1 且中断屏蔽寄存器 (IMR) 的 BIT4 也置 1 那么则消息结束中断状态寄存器 (INT\_STA) 的 BIT4 为 1。
- **BIT2, BIT1, BIT0:** 置为 000 且命令字的 T/R\*位是 0 则是 BC-> RT 通讯方式, 置为 000 且命令字的 T/R\*位是 1 则是 RT->BC 的通讯方式; 置为 001 是 RT-RT 通讯方式; 置为 010 是 Broadcast 通讯方式; 置为 100 是 Mode Code 通讯方式; 置为 110 是 Broadcast Mode Code 通讯方式。其它两种组合没用到。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 109 页 共 139 页

表 27-24 处理器中 1553B 模块 BC 命令字 (BC-CMD)

位 (BIT)	描述 (DESCRIPTION)
15-11	远程终端地址 (REMOTE TERMINAL ADDRESS)
10	发送/接收* (T/R*)
9-5	子地址/方式 (SUBADDRESS/MODE)
4-0	数据字计数/方式代码 (DATA WORD COUNT/MODE CODE)

表 27-25 处理器中 1553B 模块 BC 块状态字 (BC-BLK)

位 (BIT)	描述 (DESCRIPTION)
15	消息传输结束标志位 (EOM)
14	保留
13	传输通道指示 (CHANNEL B/A*)
12	出错标志 (ERROR FLAG)
11	状态设置 (STATUS SET)
10	格式错误 (FORMAT ERROR)
9	响应超时 (NO RESPONSE TIMEOUT)
8	保留
7	屏蔽状态设置 (MASKED STATUS SET)
6-5	重发消息次数 (RETRY COUNT 1, 0)
4	数据传输正常 (GOOD DATA BLOCK TRANSFER)
3	错误的状态地址 (WRONG STATUS ADDRESS)
2	字计数错误 (WORD COUNT ERROR)
1	同步头出错 (INCORRECT SYNC TYPE)
0	无效字 (INVALID WORD)

该字主要用来说明消息发送/接收后的状态。该存储器字如果有重发消息，只表明的是最后一个消息的状态。

- **BIT15:** 消息传输结束该位置 1。
- **BIT13:** 消息传输在 A 通道进行为 0，消息传输在 B 通道进行为 1。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 110 页 共 139 页

- **BIT12:** 有格式错误或响应超时产生该位为 1。
- **BIT11:** 接受的 RT 返回字中 BIT10-BIT0 中只要有一位为 1 则该位为 1。
- **BIT10:** 格式错误包括字计数个数错、同步头错、奇偶校验错，如果其中任意一位为 1 则该位为 1。
- **BIT9:** RT 响应超时则该位置 1。
- **BIT7:** 在 BC 控制字中如果 BIT14-BIT10 中任意一位为 0 (不屏蔽)，则该位对应的 RT 状态字为 1 则该位置 1。
- **BIT6,5:** 记录 BC 重发消息的个数，00 表示没有重发，01 表示重发了一次，11 表示重发了两次。
- **BIT4:** 当 RT2BC, RT2RT, 或者传输带数据方式代码，没有消息格式错则为 1，有消息格式错为 0；当 BC2RT，带数据方式代码收和不带数据方式代码，为 0。
- **BIT3:** RT 返回的状态字中 RT 地址有错则该位为 1。
- **BIT2:** 当 RT2BC, RT2RT, 或者传输带数据方式代码，字计数有错则为 1，没错为 0；当 BC2RT，带数据方式代码收和不带数据方式代码，为 0。
- **BIT1:** 同步头出错该位置 1。
- **BIT0:** 当数据传输中有奇偶错、位计数错和同步头错则该位置 1。

表 27-26 处理器中 1553B 模块 RT 子地址控制字 (RT-SUB-CTRL)

位 (BIT)	描述 (DESCRIPTION)
15	RX: 接收双缓存使能 (DOUBLE BUFFER ENABLE)
14	保留
13-10	保留
9	保留
8-5	保留
4	保留
3-0	保留

- **BIT15:** 该位为 RT 接收双缓存使能位，当为 1 时使能双缓存模式，为 0 则是单

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 111 页 共 139 页

表 27-27 处理器中 1553B 模块 RT 块状态字 (RT-BLK)

位 (BIT)	描述 (DESCRIPTION)
15	消息传输结束标志 (EOM)
14	消息传输开始标志 (SOM)
13	传输通道指示 (CHANNEL B/A*)
12	出错标志 (ERROR FLAG)
11	RT-RT 通讯方式标志 (RT-RT FORMAT)
10	格式错误标志 (FORMAT ERROR)
9	响应超时标志 (NO RESPONSE TIMEOUT)
8	保留
7	保留
6	非法命令字 (ILLEGAL COMMAND WORD)
5	字计数个数错 (WORD COUNT ERROR)
4	数据同步头出错 (INCORRECT DATA SYNC)
3	无效字 (INVALID WORD)
2	RT-RT 同步头/地址错 (RT-RT SYNCH/ADDRESS ERROR)
1	RT-RT 第二个命令字错 (RT-RT 2ND COMMAND ERROR)
0	命令字内容错 (COMMAND WORD CONTENTS ERROR)

- **BIT15:** 消息传输结束该位置 1。
- **BIT14:** 消息传输开始该位置 1。
- **BIT13:** 消息传输在 A 通道进行为 0, 消息传输在 B 通道进行为 1。
- **BIT12:** 有格式错误或响应超时产生该位为 1。
- **BIT11:** 在 RT-RT 通讯时接收 RT 时被设置为 1, 发送 RT 时与该位无关。
- **BIT10:** 格式错误包括表中的 BIT6-BIT0 中任何一种错, 如果 BIT6-BIT0 中出现其中任何一种错误则该位为 1。
- **BIT9:** RT-RT 通讯时响应超时则该位置 1。
- **BIT6:** RT 接收到非法命令字则该位置 1。
- **BIT5:** RT 接收到的字计数个数错时该位置 1。
- **BIT4:** RT 接收到的数据同步头出错时该位置 1。
- **BIT3:** 当数据传输中有奇偶错、位计数错则该位置 1。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 112 页 共 139 页

- **BIT2:** RT-RT 同步头/地址错则该位置 1, 包括了第二个命令字同步头错, RT 地址错。
- **BIT1:** RT-RT 通讯时第二个命令字错则该位置 1, 包括了第二个命令字的位计数错、奇偶校验错。
- **BIT0:** RT-RT 第二个命令字内容出错则该位置 1, 它指的是 RT 地址错。

表 27-28 处理器中 1553B 模块 BM 块状态字 (BM-BLK)

位 (BIT)	描述 (DESCRIPTION)
15	消息传输结束标志 (EOM)
14	消息传输开始标志 (SOM)
13	传输通道指示 (CHANNEL B/A*)
12	出错标志 (ERROR FLAG)
11	RT-RT 通讯方式标志 (RT-RT FORMAT)
10	格式错误标志 (FORMAT ERROR)
9	响应超时标志 (NO RESPONSE TIMEOUT)
8	数据没有错 (GOOD DATA BLOCK TRANSFER)
7	保留
6	保留
5	字计数个数错 (WORD COUNT ERROR)
4	数据同步头出错 (INCORRECT DATA SYNC)
3	无效字 (INVALID WORD)
2	RT-RT 同步头/地址错 (RT-RT SYNCH/ADDRESS ERROR)
1	RT-RT 第二个命令字错 (RT-RT 2ND COMMAND ERROR)
0	命令字内容错 (COMMAND WORD CONTENTS ERROR)

- **BIT15:** 消息传输结束该位置 1。
- **BIT14:** 消息传输开始该位置 1。
- **BIT13:** 消息传输在 A 通道进行为 0, 消息传输在 B 通道进行为 1。
- **BIT12:** 有格式错误或响应超时产生该位为 1。
- **BIT11:** 在 RT-RT 通讯时接收 RT 时被设置为 1, 发送 RT 时与该位无关。
- **BIT10:** 格式错误包括表中的 BIT5-BIT0 中任何一种错, 如果 BIT5-BIT0 中出现其中任

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 113 页 共 139 页

何一种错误则该位为 1。

- **BIT9:** RT-RT 通讯时响应超时则该位置 1。
- **BIT8:** 接收到的数据字中没有格式错则该位置 1, 有格式错则该位置 0, 如是不带数据的方式命令字则该位一直为 0。
- **BIT5:** RT 接收到的字计数个数错时该位置 1。
- **BIT4:** RT 接收到的数据同步头出错时该位置 1。
- **BIT3:** 当数据传输中有奇偶错、位计数错则该位置 1。
- **BIT2:** RT-RT 同步头/地址错则该位置 1, 包括了第二个命令字同步头错, RT 地址错。
- **BIT1:** RT-RT 通讯时第二个命令字错则该位置 1, 包括了第二个命令字的位计数错、奇偶校验错。
- **BIT0:** RT-RT 第二个命令字内容出错则该位置 1, 它指的是 RT 地址错。

## 27.6 模块工作方式描述

### 27.6.1 BC 总线控制器工作方式

#### 27.6.1.1 BC 存储器地址分配

表 27-29 处理器中 1553B 模块 BC 存储器地址分配 (4K 双口 RAM)

地址 (HEX)	描述
0000-00FF	堆栈 A (STACK A)
0100	堆栈指针 A (STACK POINTER A)
0101	消息个数设置 A (MESSAGE COUNT A)
0102-0103	保留
0104	堆栈指针 B (STACK POINTER B)
0105	消息个数设置 B (MESSAGE COUNT B)
0106-0107	保留
0108-012D	消息块 0 (MESSAGE BLOCK0)
012E-0153	消息块 1 (MESSAGE BLOCK1)
...	...

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 114 页 共 139 页

地址 (HEX)	描述
0ED6-0EFB	消息块 93 (MESSAGE BLOCK 93)
...	...
0F00-0FFF	堆栈 B (STACK B)

### 27.6.1.2 BC 存储器管理

BC 存储器管理如图 27-2 所示。该图说明了命令堆栈区包含四个描述符，即块状态字，时间标签字，消息间隔时间字和消息块地址字。块状态字包括消息状态、完成、有效性及总线通道信息；时间标签字寄存了当前消息结束时时间标签寄存器的值；消息间隔时间字存储的是设定的消息间隔时间；消息块地址字寄存的是指向消息块第一个字的地址。程序通过 RAM 的 0X0100H 地址取命令堆栈指针，0X0101 地址取消息个数值。

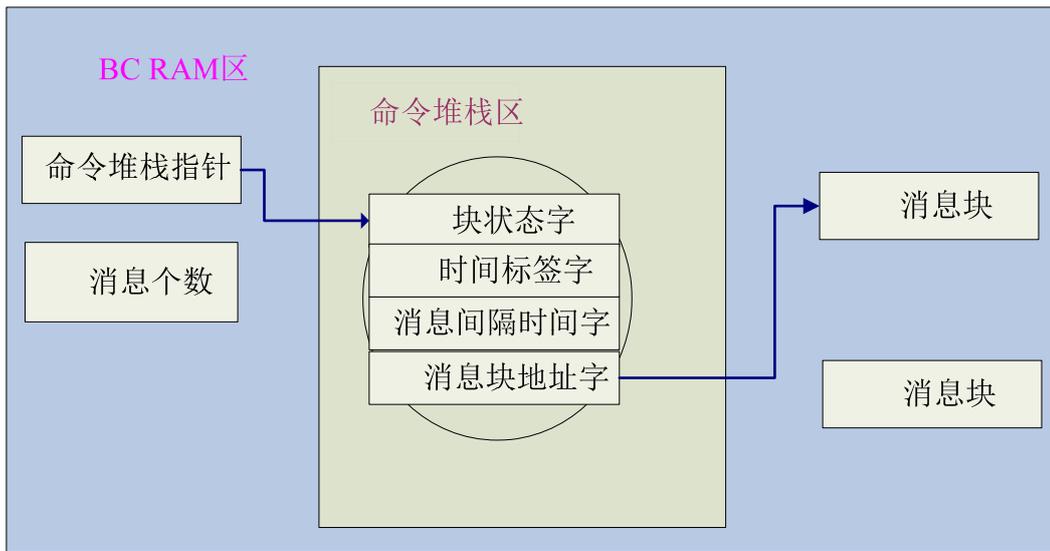


图 27-2 处理器中 1553B 模块 BC 存储器管理

### 27.6.1.3 BC 消息格式

表 27-30 处理器中 1553B 模块 BC 消息格式

BC 到 RT 的传输	RT 到 BC 的传输	RT 到 RT 的传输	不带字的方式命令
控制字	控制字	控制字	控制字
接收命令字	发送命令字	接收命令字	方式命令字

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 115 页 共 139 页

BC 到 RT 的传输	RT 到 BC 的传输	RT 到 RT 的传输	不带字的方式命令
数据字 1	发送命令字的回应字	发送命令字	方式回应字
数据字 2	状态字	发送命令字的回应字	状态字
...	数据字 1	发送终端的状态字	
	数据字 2	数据字 1	
最后一个数据字	...	...	
最后数据字的回应字	...	最后一个数据字	
状态字	最后一个数据字	接收终端的状态字	

表 27-31 处理器中 1553B 模块 BC 消息格式 (接上表)

带字的发送方式命令	带字的接收方式命令	广播命令	不带字的广播方式命令	带字的广播方式命令
控制字	控制字	控制字	控制字	控制字
发送方式命令字	接收方式命令字	广播命令字	广播方式命令字	广播方式命令字
方式命令回应字	数据字	数据字 1	广播方式命令字的回应字	数据字
接收状态字	接收命令字的回应字	数据字 2 ...		最后数据字的回应字
数据字	接收状态字	最后的数据回应字		

## 27.6.2 RT 远程终端工作方式

### 27.6.2.1 RT 存储器地址分配

表 27-32 处理器中 1553B 模块 RT 存储器地址分配 (4K 双口 RAM)

地址 (HEX)	描述
0000-00FF	堆栈 (STACK)
0100	堆栈指针 (STACK POINTER)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 116 页 共 139 页

地址 (HEX)	描述
0101-0107	保留
0108-010F	方式代码选择中断表 (MODE CODE SELECTIVE INTERRUPT TABLE)
0110-013F	方式代码数据 (MODE CODE DATA)
0140-01BF	查找表 (LOOKUP TABLE)
01C0-023F	保留
0240-0247	忙位查找表 (BUSY BIT LOOKUP TABLE)
0248-025F	(没有使用)
0260-027F	数据块 0 (DATA BLOCK 0)
0280-02FF	数据块 1-4 (DATA BLOCK 1-4)
0300-03FF	非法命令表 (CINNABD UKKEGAKUZUBG TABKE)
0400-041F	数据块 5 (DATA BLOCK 5)
0420-043F	数据块 6 (DATA BLOCK 6)
...	...
0FE0-0FFF	数据块 100 (DATA BLOCK 100)

### 27.6.2.2 RT 存储器查找表

表 27-33 处理器中 1553B 模块 RT 存储器查找表 (LOOK-UP TABLE)

地址 (HEX)	对应子地址	描述
0140	Rx_SA0	接收查找表
...	...	
015F	Rx_SA31	
0160	Tx_SA0	发送查找表
...	...	
017F	Tx_SA31	
0180	Bcst_SA0	广播查找表
...	...	
019F	Bcst_SA31	
01A0	SACW_SA0	子地址控制字查找表
...	...	
01BF	SACW_SA31	

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 117 页 共 139 页

### 27.6.2.3 RT 存储器非法命令表地址分配

表 27-34 处理器中 1553B 模块 RT 存储器非法命令地址分配表

(COMMAND ILLEGALIZING TABLE)

位 (BIT)	描述 (DESCRIPTION)
15-10	均为逻辑 0
9-8	均为逻辑 1
7	广播*/本身地址 (BROADCAST*/OWN ADDRESS)
6	发送/接收* (T/R*)
5-1	子地址 4 - 子地址 0 (SA4-SA0)
0	子计数 4/方式字 4 (WC4/MC4)

RT 非法命令表, 在 RT 中占用 0x300 ~ 0x3FF 的地址空间。当 RT 接收到命令字后, 如果使能 (为 1) 非法化命令检测。通过广播/RT 地址、T/R\*、SA4 ~ SA0 和 WC4/MC4 共 8 位在 0x300 ~ 0x3FF 中, 查找 WC3 ~ WC0 (MC3 ~ MC0) 收到的给 RT 某一子地址、某些个数的命令字是否非法。

### 27.6.2.4 RT 存储器忙位查找表地址分配

表 27-35 处理器中 1553B 模块 RT 存储器忙位查找表地址分配表

(BUSY BIT LOOKUP TABLE)

位 (BIT)	描述 (DESCRIPTION)
15-10	均为逻辑 0
9	逻辑 1
8	逻辑 0
7	逻辑 0
6	逻辑 1
5-3	均为逻辑 0
2	广播/本身地址* (BROADCAST*/OWN ADDRESS*)
1	发送/接收* (T/R*)
0	子地址 4 (SA4)

RT 忙位查找表, 在 RT 中占用 0x240 ~ 0x247 的地址空间。当 RT 接收到命令字后, 如果使能 (为 1) 忙位查找表检测。通过广播/RT 地址、T/R\*、SA4 共 3 位在 0x240 ~ 0x247 中, 查找 SA3 ~ SA0 收到的给 RT 某一子地址的命令字是否忙。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 118 页 共 139 页

### 27.6.2.5 RT 存储器方式代码选择中断表

表 27-36 处理器中 1553B 模块 RT 存储器方式代码选择中断表

(MODE CODE SELECTIVE INTERRUPT TABLE)

地址 (HEX)	描述 (DESCRIPTION)
0108	接收方式命令 0-15 (undefined)
0109	发送方式命令 16-31 (WITH DATA)
010A	发送方式命令 0-15 (WITHOUT DATA)
010B	发送方式命令 16-31 (WITH DATA)
010C	广播接收方式命令 0-15 (undefined)
010D	广播接收方式命令 16-31 (WITH DATA)
010E	广播发送方式命令 0-15 (WITHOUT DATA)
010F	广播发送方式命令 16-31 (UNDEFINED)

### 27.6.2.6 RT 存储器方式代码选择中断地址分配

表 27-37 处理器中 1553B 模块 RT 存储器方式代码选择中断表地址分配表

(MODE CODE SELECTIVE INTERRUPT TABLE)

位 (BIT)	描述 (DESCRIPTION)
15-9	均为逻辑 0
8	逻辑 1
7	逻辑 0
6	逻辑 0
5	逻辑 0
4	逻辑 0
3	逻辑 1
2	广播/本身地址* (BROADCAST/OWN ADDRESS*)
1	发送/接收* (T/R*)
0	方式代码 4 (MC4)

RT 方式代码选择中断表，在 RT 中占用 0x108 ~ 0x10F 的地址空间。当 RT 接收到命令字后，如果使能（为 1）式代码选择中断表检测。通过广播/RT 地址、T/R\*、MC4 共 3 位在 0x108 ~ 0x10F 中，查找 MC3 ~ MC0 收到的给 RT 某一方式代码是否有中断。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 119 页 共 139 页

### 27.6.2.7 RT 方式代码数据表

表 27-38 处理器中 1553B 模块 RT 存储器方式代码数据表 (MODE CODE DATA)

地址 (HEX)	方式代码 (MODE CODE)
0110	没有定义
0111	同步带数据
0112-11F	没有定义
0120	发送矢量字
0121-13F	没有定义

### 27.6.2.8 已实现的方式代码

表 27-39 处理器中 1553B 模块已实现的方式代码

发/收*	方式代码	功能	是否带数据字	是否允许广播指令
1	00000	动态总线控制	否	否
1	00001	同步	否	是
1	00010	发送上一状态字	否	否
1	00011	启动自测试 [1]	否	是
1	00100	发送器关闭	否	是
1	00101	取消发送器关闭	否	是
1	00110	禁止终端标志位	否	是
1	00111	取消禁止终端标志位	否	是
1	01000	复位远程终端 [2]	否	是
1	01001	备用	否	待定
...	...	...	...	...
1	01111	备用	否	待定
1	10000	发送矢量字	是	否
0	10001	同步 [3]	是	是

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 120 页 共 139 页

发/收*	方式代码	功能	是否带数据字	是否允许广播指令
1	10010	发送上一指令字	是	否
1	10011	发送自检测字	是	否

备注:

**【1】** 启动自测试执行的操作是:

当 RT 接收到该命令后, 软件进行相应的测试, 并判断 RT BIT 字如果没有异常则认为自测试 OK。

**【2】** 复位远程终端执行的操作是:

- 1) 对 RT 状态字将清 BIT10, BIT4 这两位;
- 2) 对 RT 位字寄存器将清 BIT15, BIT11, BIT10, BIT9;
- 3) 如果使用了方式命令 00110(禁止终端标志位)或 00100(发送器关闭)那么在执行完复位远程终端这一方式命令后, 就将方式命令 00110, 00100 的结果予以清除;

**【3】** 带数据的同步执行的操作是:

TAG REG0, 接收最新的重载值, TAG REG1 TAG REG2 被清为 0。

**【4】** 不带数据的同步执行的操作是:

TAG REG0, TAG REG1 TAG REG2 均被清为 0。

**【5】** 当接收到的方式字是发送上一命令字或发送状态字时 RT 的状态字不会被改变。

**【6】** 当接收到的方式字是发送自检测字时 RT 的位状态字不会被改变。

### 27.6.2.9 RT 单缓冲存储器管理

RT 单缓冲存储器管理如图 27-3 所示。该图说明了命令堆栈区包含四个描述符, 即块状态字, 时间标签字, 数据块指针字和接收命令字。块状态字包括消息状态、完成、有效性及总线通道信息; 时间标签字寄存了当前消息结束时时间标签寄存器的值; 数据块指针字存储指向数据块的起始地址; 接收命令字存储 RT 接收到的命令字。程序通过 RAM 的 0X0100H 地址取命令堆栈指针。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 121 页 共 139 页

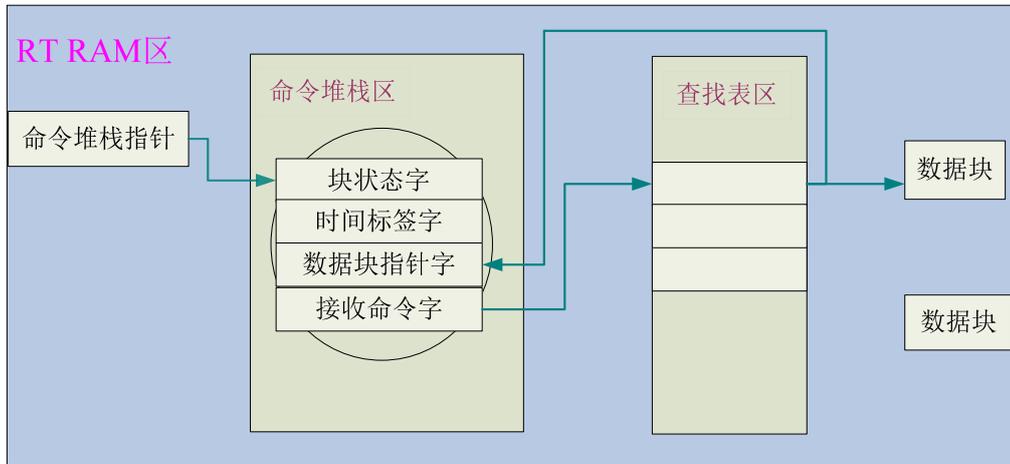


图 27-3 处理器中 1553B 模块 RT 单缓冲存储器管理

### 27.6.2.10 RT 循环缓冲存储器管理

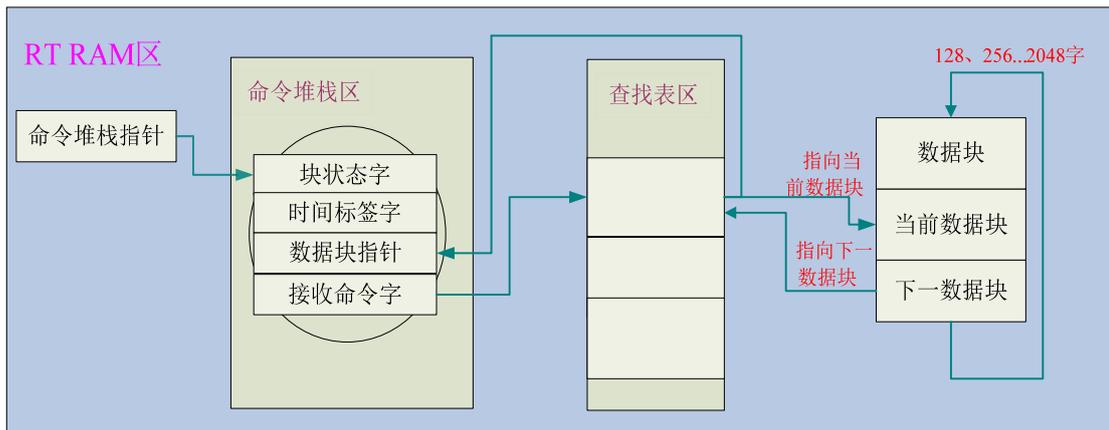


图 27-4 处理器中 1553B 模块 RT 循环缓冲存储器管理

### 27.6.2.11 RT 双缓冲存储器管理

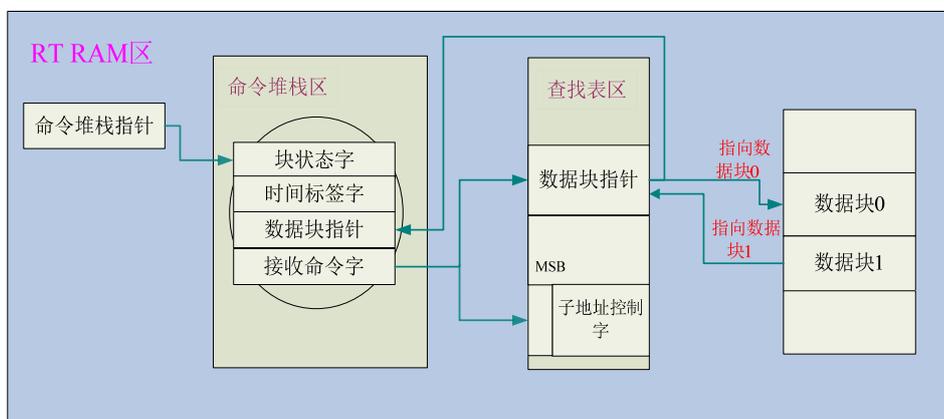


图 27-5 处理器中 1553B 模块 RT 双缓冲存储器管理

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 122 页 共 139 页

### 27.6.3 BM 总线监视器工作方式

#### 27.6.3.1 BM 存储器地址分配

表 27-40 处理器中 1553B 模块 BM 存储器地址分配

地址 (HEX)	描述
0000-027F	命令堆栈区域 (STACK AREA)
0280-02FF	子地址选择设置区域 (SUBADDRESS SELECT AREA)
0300-0FFF	数据块区域 (DATA BLOCK AREA)

#### 27.6.3.2 BM 存储器管理

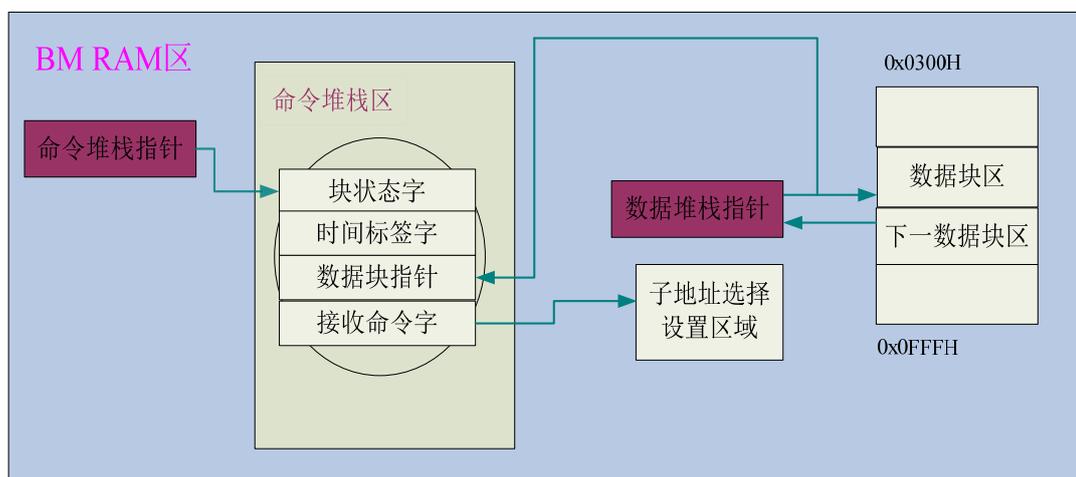


图 27-6 处理器中 1553B 模块 BM 存储器管理

#### 27.6.3.3 BM 子地址选择设置区地址分配

表 27-41 BM 子地址选择设置区地址分配

位 (BIT)	描述 (DESCRIPTION)
15-11	逻辑 0
10	逻辑 0
9	逻辑 1
8	逻辑 0
7	逻辑 1
6	RT 地址 4 (RT ADDRESS 4)
5	RT 地址 3 (RT ADDRESS 3)

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 123 页 共 139 页

位 (BIT)	描述 (DESCRIPTION)
4	RT 地址 2 (RT ADDRESS 2)
3	RT 地址 1 (RT ADDRESS 1)
2	RT 地址 0 (RT ADDRESS 0)
1	发送/接收* (T/R*)
0	子地址 4 (SA4)

BM 子地址选择设置区地址分配表，在 BM 中占用 0x280 ~ 0x2FF 的地址空间。当 BM 接收到命令字后，如果使能（为 1）子地址选择设置检测。通过 RT 地址、T/R\*、SA4 共 7 位在 0x280 ~ 0x2FF 中，查找 SA3 ~ SA0 收到的给 BM 某一子地址的内容接收，否则不做接收。

## 27.7 时序图

发送波形如 27-7 所示，接收波形如 27-8 所示，数据频率编码关系如 27-9 所示：

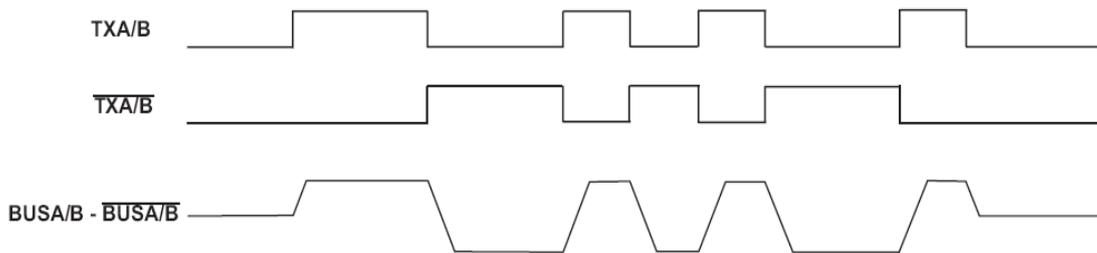


图 27-7 处理器中 1553B 模块发送波形

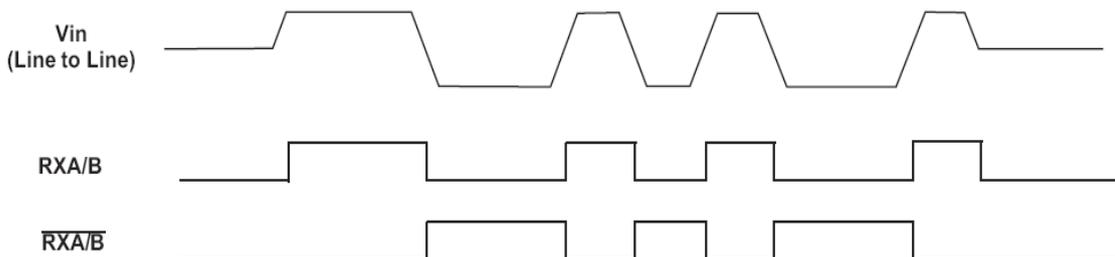


图 27-8 处理器中 1553B 模块接收波形

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 124 页 共 139 页

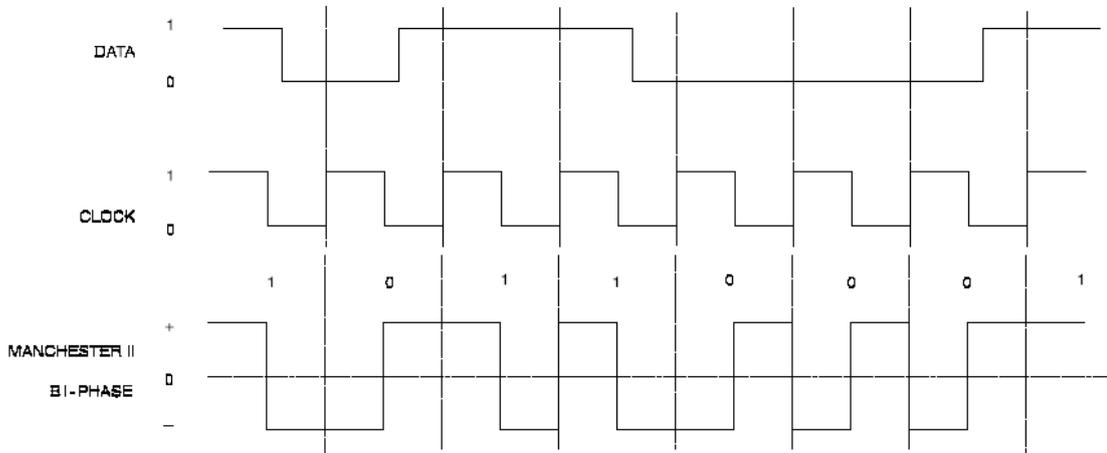


图 27-9 处理器中 1553B 模块数据频率编码之间的关系

### 27.7.1 BC 总线控制器应用案例

对于 BC 编程，首先要初始化相应的寄存器以及堆栈指针、消息计数器；然后定义消息的控制字、命令字等；最后启动 BC。需要注意的是 BC 控制字不会在 1553 总线上传输。BC 的消息格式通过编程 BC 控制字的最低 3 位来控制。

BC 消息帧可以通过查询和中断来进行处理。如果采用查询模式，那么可以查询配置寄存器 1、中断状态寄存器、堆栈指针和消息计数器寄存器。另外，每一条 BC 消息结束后堆栈指针加 4。在嵌入式系统软件处理中，我们应尽量采用中断方式。

流程图如图 27-10 所示。程序把 OBT1553 设置成 BC 总线控制器类型，并且设置消息类型为 BC-RT, RT-BC；一帧两条消息，第一条消息为 BC 往地址为 0，子地址为 5 发送 32 个数据；第二条消息为地址 0，子地址 4 往 BC 发送 32 个数据。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 125 页 共 139 页

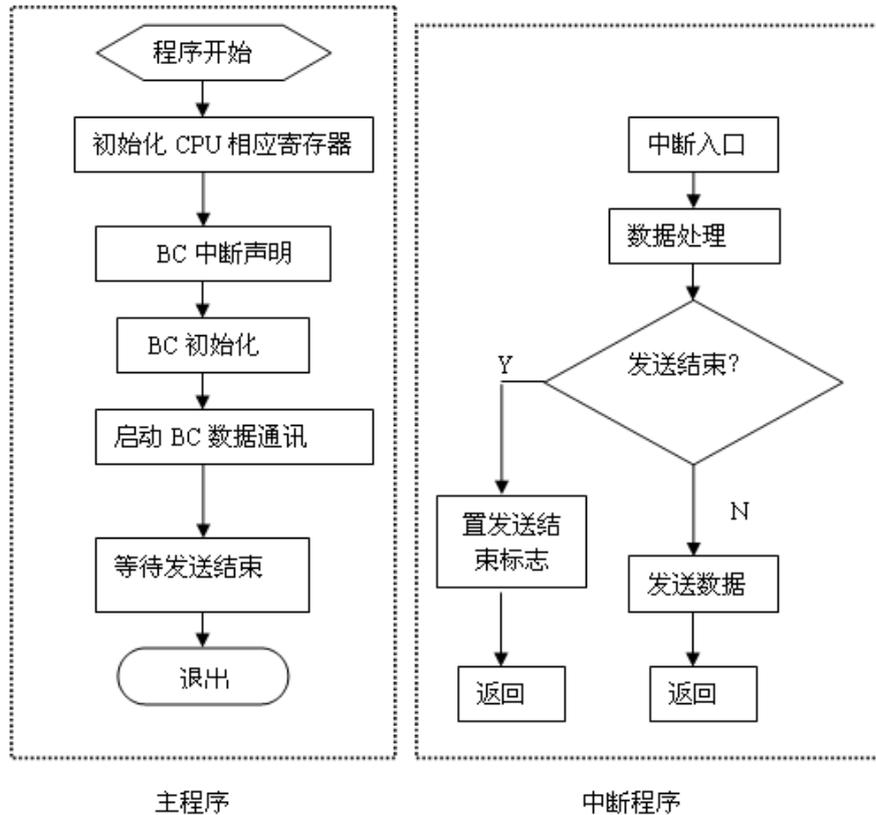


图 27-10 处理器中 1553B 模块 BC 程序流程图

### 27.7.2 RT 远程终端应用案例

对于 RT 编程，首先初始化相应的寄存器；然后设置非法区、初始化相应子地址的查询表及子地址控制字；最后设置配置寄存器 1 使设备处于 RT 模式。此后该设备就处于在线，只要 BC 发送一条消息命令与该设备相关，那么该设备就会做出反映。处理 RT 消息时，这里也有四个字的块描述符，即块状态字、时间标志字、数据块起始地址指针和接收到的 16 位命令字。与 BC 模式一样，要读取接收到的消息，我们应该首先从堆栈指针中读取当前消息的堆栈指针，来分别读出块状态字、时间标志字、上一条消息的块地址和命令字。

流程图如图 27-11 所示。程序把 OBT1553 设置成 RT 远程终端类型，并且设置消息类型为 BC-RT；BC 往 RT 地址 0，子地址为 1，MC32 发送消息，消息的数据长度为 1 个，数据为互为反码的一组数：0x0000 和 0xffff。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 126 页 共 139 页

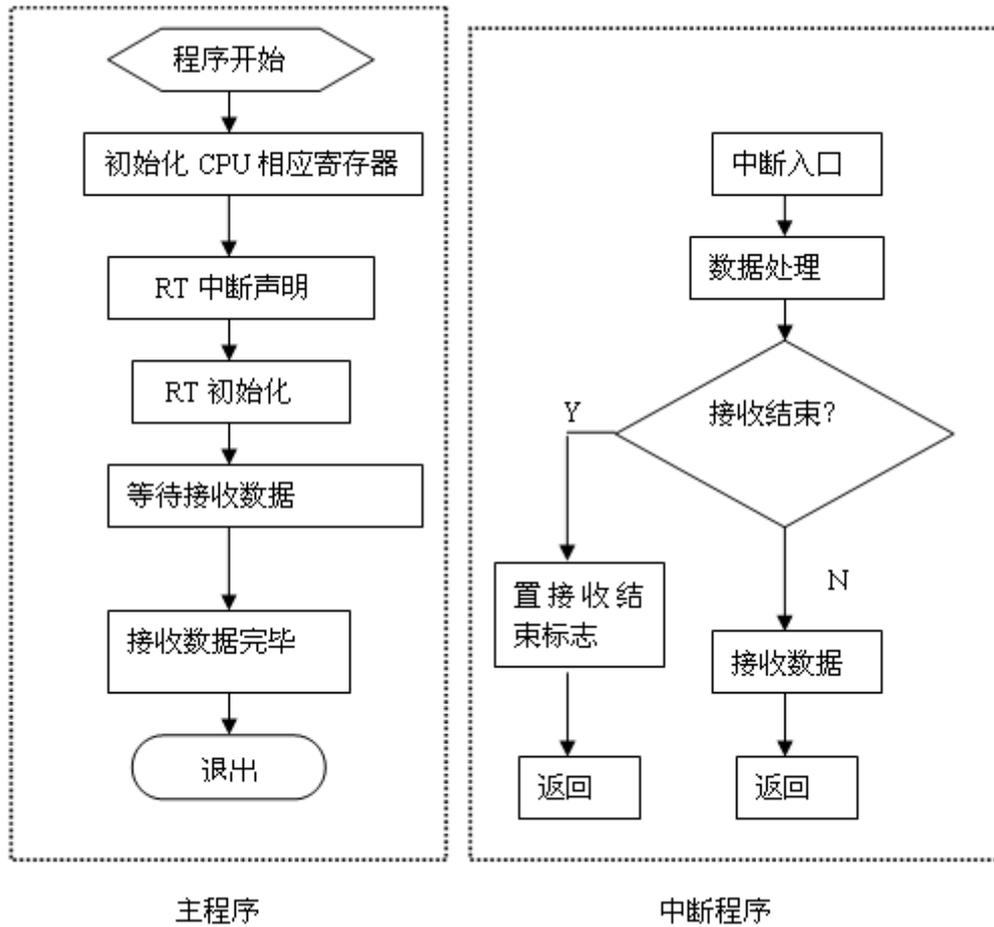


图 27-11 处理器中 1553B 模块 RT 程序流程图

### 27.7.3 BM 总线监视器应用案例

对于 BM 编程，首先初始化相应的寄存器；然后设置子地址选择设置区；最后设置启动/复位寄存器启动 BM。此后该设备就处于在线。接收到的数据里也有四个字的块描述符，即块状态字、时间标志字、数据块起始地址指针和接收到的 16 位命令字。与 RT 模式一样，要读取接收到的消息，我们应该首先从堆栈指针中读取当前消息的堆栈指针，来分别读出块状态字、时间标志字、上一条消息的块地址和命令字；从数据堆栈指针中读取接收到的数据。

流程图如图 27-12 所示。程序把 OBT1553B 设置成 BM 类型，接收消息类型 BC→RT0 SA1 MC32，判断 BM 接收的数据是否是 BC 发送的数据。

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 127 页 共 139 页

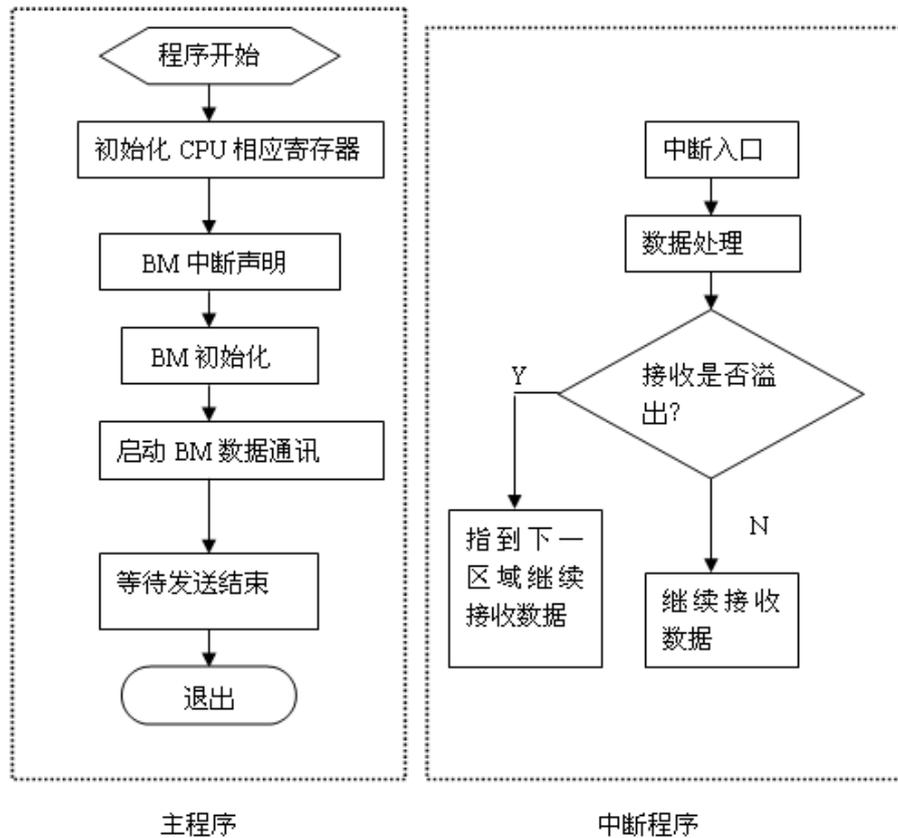


图 27-12 处理器中 1553B 模块 BM 程序流程图

## 28 工作条件及电气特性

表 28-1 计算机模块部分关键参数极限范围 (Absolute Maximum Ratings)

#	关键参数	极限范围 (Absolute Maximum Ratings)
1	工作环境温度	-40℃ ~ +85℃
2	储存环境温度	-65℃ ~ +150℃
3	VDDC 对 VSSC 的电压差	-0.5V ~ +1.4V
4	AVDDC 对 AGNDC 的电压差	-0.5V ~ +1.4V
5	VDDH 对 VSSH 的电压差	-0.5V ~ +4.0V
6	AVDDH 对 AGNDH 的电压差	-0.5V ~ +4.0V

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 128 页 共 139 页

#	关键参数	极限范围 (Absolute Maximum Ratings)
7	IO 引脚的输入电平	-0.5V ~ +5.5V
8	引脚的驱动能力 (mfio[15:0] 除外)	-8mA ~ +8mA
9	MFIO 引脚的驱动能力	-16mA ~ +16mA
10	ESD 等级	2000VHM/200VMM

**【注意】:** 若在实际的应用当中，计算机模块的上述关键参数超出了上表中的相应范围，则很可能会造成芯片的永久性损坏。

表 28-2 计算机模块直流 (DC) 特性参数

#	特性	符号	测试条件 ( $V_{DDH}=3.3V$ , $V_{DDC}=1.2V$ )	最小值	典型值	最大值	单位
1	输出低电平电压	$V_{OL}$	$V_{DDH}=3.0V$ , $I_{OL}=8mA$ ;	—	—	0.4	V
2	输出高电平电压	$V_{OH}$	$V_{DDH}=3.0V$ , $I_{OL}=8mA$ ;	$V_{DDH}-0.4$	—	—	V
3	输入低电平电压	$V_{IL}$	—	—	—	$0.3V_{DDH}$	V
4	输入高电平电压	$V_{IH}$	—	$0.7V_{DDH}$	—	5	V
5	输入低电平漏电流	$I_{IL}$	$V_{in}=V_{SSH}$	-3	—	3	uA
6	输入高电平漏电流	$I_{IH}$	$V_{in}=V_{DDH}$	-3	—	3	uA
7	Standby 电流 (1.2V)	$I_{STDBY12}$	输入引脚全下拉接 0，输出引脚浮空，双向引脚浮空。	—	—	5	mA
8	Standby 电流 (3.3V)	$I_{STDBY33}$	输入引脚全下拉接 0，输出引脚浮空，双向引脚全下拉接 0。	—	—	5	mA

## 29 产品订货信息

表 29-1 计算机模块的订货信息表

产品型号	工作温度范围	封装	级别
S698-OBC-02	-40°C ~ +85°C	QPF144	工业级

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 129 页 共 139 页

## 30 寄存器列表

表 30-1 计算机模块的寄存器总列表

#	寄存器名称	地址 (0X)	寄存器描述	备注
1	MCFG1	80000000	存储器配置寄存器 1	
2	MCFG2	80000004	存储器配置寄存器 2	
3	MCFG3	800001D8	存储器配置寄存器 3	
4	AHB_ERROR_ADDR	8000000C	AHB 错误地址寄存器	
5	AHB_ERROR_STS	80000010	AHB 错误状态寄存器	
6	cache controller	80000014	Cache 控制寄存器	
7	timer1_value	80000040	通用定时器 1 计数值寄存器	
8	timer1_reload	80000044	通用定时器 1 计数重载寄存器	
9	timer1_control	80000048	通用定时器 1 控制寄存器	
10	timer2_value	80000050	通用定时器 2 计数值寄存器	
11	timer2_reload	80000054	通用定时器 2 计数重载寄存器	
12	timer2_control	80000058	通用定时器 2 控制寄存器	
13	prescaler_value	80000060	通用定时器预分频计数值寄存器	
14	prescaler_reload	80000064	通用定时器预分频计数重载寄存器	
15	UART1_data	80000070	普通 UART1 收发数据寄存器	
16	UART1_stature	80000074	普通 UART1 状态寄存器	
17	UART1_control	80000078	普通 UART1 控制寄存器	
18	UART1_prescaler	8000007C	普通 UART1 波特率设置寄存器	
19	UART2_data	80000080	普通 UART2 收发数据寄存器	
20	UART2_stature	80000084	普通 UART2 状态寄存器	
21	UART2_control	80000088	普通 UART2 控制寄存器	
22	UART2_prescaler	8000008C	普通 UART2 预分频计数值寄存器	
23	INT1_MASK&LEVEL	80000090	一级中断屏蔽和优先级配置寄存器	
24	INT1_PENDING	80000094	一级中断悬挂寄存器	

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 130 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
25	IMNT1_FORCE	80000098	一级中断强制寄存器	
26	INT1_CLARE	8000009C	一级中断清除寄存器	
27	INT2_MASK	800000B0	二级中断屏蔽寄存器	
28	INT2_PENDING	800000B4	二级中断悬挂寄存器	
29	INT2_STATUS	800000B8	二级中断状态寄存器	
30	INT2_CLARE	800000B8	二级中断清除寄存器	
31	tmx0_control	800000D0	timerx0 控制寄存器	
32	tmx0_counter_value	800000D4	timerx0 定时器起始计数值	
33	tmx0_reload_value	800000D8	timerx0 定时器重载计数值	
34	tmx0_scaler_value	800000DC	timerx0 时钟预分频计数值	
35	tmx1_control	800000E0	timerx1 控制寄存器	
36	tmx1_counter_value	800000E4	timerx1 定时器起始计数值	
	tmx1_reload_value	800000E8	timerx1 定时器重载计数值	
37	tmx1_scaler_value	800000EC	timerx1 时钟预分频计数值	
38	wdg_control	800000F0	看门狗控制寄存器	
39	wdg_feed	800000F4	看门狗“喂狗”命令寄存器	
40	wdg_status	800000F4	看门狗状态寄存器	
41	wdg_cnt	800000F8	看门狗看门狗计数值寄存器	
42	wdg_current	800000F8	看门狗看门狗计数器当前值寄存器	
43	wdg_prescaler	800000FC	看门狗预分频计数值寄存器	
44	ADC_CTRL	80000140	ADC 控制寄存器	
45	ADC_CHNL_SEL	80000144	ADC 模拟通道选择寄存器	
46	ADC_IRQ_CFG_STS	80000148	ADC 中断配置/状态寄存器	
47	ADC_RESULT	8000014C	ADC 转换结果寄存器	
48	DAC_CTRL1	80000150	DAC 通道 1 控制寄存器	
49	DAC_CTRL2	80000154	DAC 通道 2 控制寄存器	
50	DAC_CTRL3	80000158	DAC 通道 3 控制寄存器	

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 131 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
51	DAC_CTRL4	8000015C	DAC 通道 4 控制寄存器	
CAN 模块 BasicCAN 模式寄存器列表				
52	control_1	80000180	CAN 通道 1 控制寄存器	
53	command_1	80000184	CAN 通道 1 命令寄存器	
54	status_1	80000188	CAN 通道 1 状态寄存器	
55	interrupt_1	8000018c	CAN 通道 1 中断寄存器	
56	acceptance-code_1	80000190	CAN 通道 1 验收代码寄存器	
57	acceptance-mask_1	80000194	CAN 通道 1 验收屏蔽寄存器	
58	bus-timing-0_1	80000198	CAN 通道 1 总线定时 0 寄存器	
59	bus-timing-1_1	8000019c	CAN 通道 1 总线定时 1 寄存器	
60	tx-buffer_1	800001A8 - 800001CC	CAN 通道 1 发送缓冲	
61	rx-buffer_1	800001D0 - 800001F4	CAN 通道 1 接收缓冲	
62	mode select_1	800001FC	CAN 通道 1 模式选择寄存器	
63	control_2	80000200	CAN 通道 2 控制寄存器	
64	command_2	80000204	CAN 通道 2 命令寄存器	
65	status_2	80000208	CAN 通道 2 状态寄存器	
66	interrupt_2	8000020c	CAN 通道 2 中断寄存器	
67	acceptance-code_2	80000210	CAN 通道 2 验收代码寄存器	
68	acceptance-mask_2	80000214	CAN 通道 2 验收屏蔽寄存器	
69	bus-timing-0_2	80000218	CAN 通道 2 总线定时 0 寄存器	
70	bus-timing-1_2	8000021c	CAN 通道 2 总线定时 1 寄存器	
71	tx-buffer_2	80000228 - 8000024C	CAN 通道 2 发送缓冲	
72	rx-buffer_2	80000250 - 80000274	CAN 通道 2 接收缓冲	
73	mode select_2	8000027C	CAN 通道 2 模式选择寄存器	
CAN 模块 Pelican 模式寄存器列表				

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 132 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
74	mode_1	80000180	CAN 通道 1 模式寄存器	
75	command_1	80000184	CAN 通道 1 命令寄存器	
76	status_1	80000188	CAN 通道 1 状态寄存器	
77	interrupt_1	8000018C	CAN 通道 1 中断寄存器	
78	interrupt-enable_1	80000190	CAN 通道 1 中断允许寄存器	
79	bus-timing-0_1	80000198	CAN 通道 1 总线定时 0 寄存器	
80	bus-timing-1_1	8000019C	CAN 通道 1 总线定时 1 寄存器	
81	arbitration-lost-capture_1	800001AC	CAN 通道 1 仲裁丢失捕捉寄存器	
82	error-code-capture_1	800001B0	CAN 通道 1 错误代码捕捉寄存器	
83	error-warning-limit_1	800001B4	CAN 通道 1 错误报警限制寄存器	
84	rx-error-counter_1	800001B8	CAN 通道 1 接收错误计数器	
85	tx-error-counter_1	800001BC	CAN 通道 1 发送错误计数器	
86	tx-buffer_1	800001C0	CAN 通道 1 发送缓冲	
		800001F0		
87	rx-buffer_1	800001C0	CAN 通道 1 接收缓冲	
		800001F0		
88	acceptance-code_1	800001C0	CAN 通道 1 验收代码寄存器	
		800001CC		
89	acceptance-mask_1	800001D0	CAN 通道 1 验收屏蔽寄存器	
		800001DC		
90	rx-message-counter_1	800001F4	CAN 通道 1 接收报文计数器	
91	mode-select_1	800001FC	CAN 通道 1 模式选择寄存器	
91	mode_2	80000200	CAN 通道 2 模式寄存器	
92	command_2	80000204	CAN 通道 2 命令寄存器	
93	status_2	80000208	CAN 通道 2 状态寄存器	
94	interrupt_2	8000020C	CAN 通道 2 中断寄存器	
95	interrupt-enable_2	80000210	CAN 通道 2 中断允许寄存器	
96	bus-timing-0_2	80000218	CAN 通道 2 总线定时 0 寄存器	
97	bus-timing-1_2	8000021C	CAN 通道 2 总线定时 1 寄存器	

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页码	第 133 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
98	arbitration_lost_capture_2	8000022C	CAN 通道 2 仲裁丢失捕捉寄存器	
99	error_code_capture_2	80000230	CAN 通道 2 错误代码捕捉寄存器	
100	error_warning_limit_2	80000234	CAN 通道 2 错误报警限制寄存器	
101	rx_error_counter_2	80000238	CAN 通道 2 接收错误计数器	
102	tx_error_counter_2	8000023C	CAN 通道 2 发送错误计数器	
103	tx_buffer_2	80000230	CAN 通道 2 发送缓冲	
		80000270		
104	rx_buffer_2	80000230	CAN 通道 2 接收缓冲	
		80000270		
405	acceptance_code_2	80000240	CAN 通道 2 验收代码寄存器	
		8000024C		
106	acceptance_mask_2	80000250	CAN 通道 2 验收屏蔽寄存器	
		8000025C		
107	rx_message_counter_2	80000274	CAN 通道 2 接收报文计数器	
108	mode_select_2	8000027C	CAN 通道 2 模式选择寄存器	
109	A429_RX1_Data	80000280	ARINC429 接收通道 1 数据接收寄存器	
110	A429_RX1_Control	80000284	ARINC429 接收通道 1 接收控制寄存器 (含中断配置)	
111	A429_RX1_Scaler	80000288	ARINC429 接收通道 1 接收波特率设置寄存器	
112	A429_RX1_Fifoctrl	8000028C	ARINC429 接收通道 1 接收 FIFO 控制寄存器	
113	A429_RX1_Status	80000290	ARINC429 接收通道 1 接收状态寄存器	
114	A429_RX1_label_1gp	80000294	ARINC429 接收通道 1 数据接收标识符组 1 寄存器	
115	A429_RX1_label_2gp	80000298	ARINC429 接收通道 1 数据接收标识符组 2 寄存器	
116	A429_RX1_label_3gp	8000029C	ARINC429 接收通道 1 数据接收标识符组 3 寄存器	
117	A429_RX2_Data	800002A0	ARINC429 接收通道 2 数据接收寄存器	
118	A429_RX2_Control	800002A4	ARINC429 接收通道 2 接收控制寄存器 (含中断配置)	
119	A429_RX2_Scaler	800002A8	ARINC429 接收通道 2 接收波特率设置寄存器	
120	A429_RX2_Fifoctrl	800002AC	ARINC429 接收通道 2 接收 FIFO 控制寄存器	
121	A429_RX2_Status	800002B0	ARINC429 接收通道 2 接收状态寄存器	
122	A429_RX2_label_1gp	800002B4	ARINC429 接收通道 2 数据接收标识符组 1 寄存器	

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 134 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
123	A429_RX2_label_2gp	800002B8	ARINC429 接收通道 2 数据接收标识符组 2 寄存器	
124	A429_RX2_label_3gp	800002BC	ARINC429 接收通道 2 数据接收标识符组 3 寄存器	
125	A429_RX3_Data	800002C0	ARINC429 接收通道 3 数据接收寄存器	
126	A429_RX3_Control	800002C4	ARINC429 接收通道 3 接收控制寄存器 (含中断配置)	
127	A429_RX3_Scaler	800002C8	ARINC429 接收通道 3 接收波特率设置寄存器	
128	A429_RX3_Fifoctrl	800002CC	ARINC429 接收通道 3 接收 FIFO 控制寄存器	
129	A429_RX3_Status	800002D0	ARINC429 接收通道 3 接收状态寄存器	
130	A429_RX3_label_1gp	800002D4	ARINC429 接收通道 3 数据接收标识符组 1 寄存器	
131	A429_RX3_label_2gp	800002D8	ARINC429 接收通道 3 数据接收标识符组 2 寄存器	
132	A429_RX3_label_3gp	800002DC	ARINC429 接收通道 3 数据接收标识符组 3 寄存器	
133	A429_RX4_Data	800002E0	ARINC429 接收通道 4 数据接收寄存器	
134	A429_RX4_Control	800002E4	ARINC429 接收通道 4 接收控制寄存器 (含中断配置)	
135	A429_RX4_Scaler	800002E8	ARINC429 接收通道 4 接收波特率设置寄存器	
136	A429_RX4_Fifoctrl	800002EC	ARINC429 接收通道 4 接收 FIFO 控制寄存器	
137	A429_RX4_Status	800002F0	ARINC429 接收通道 4 接收状态寄存器	
138	A429_RX4_label_1gp	800002F4	ARINC429 接收通道 4 数据接收标识符组 1 寄存器	
139	A429_RX4_label_2gp	800002F8	ARINC429 接收通道 4 数据接收标识符组 2 寄存器	
140	A429_RX4_label_3gp	800002FC	ARINC429 接收通道 4 数据接收标识符组 3 寄存器	
141	A429_TX1_Data	80000300	ARINC429 发送通道 1 数据发送寄存器	
142	A429_TX1_Control	80000304	ARINC429 发送通道 1 发送控制寄存器 (含中断配置)	
143	A429_TX1_Scaler	80000308	ARINC429 发送通道 1 发送波特率设置寄存器	
144	A429_TX1_Fifoctrl	8000030C	ARINC429 发送通道 1 发送 FIFO 控制寄存器	
145	A429_TX1_Status	80000310	ARINC429 发送通道 1 发送状态寄存器	
146	A429_TX1_Gap	80000314	ARINC429 发送通道 1 字间间隙时间设置寄存器	
147	A429_TX2_Data	80000320	ARINC429 发送通道 2 数据发送寄存器	
148	A429_TX2_Control	80000324	ARINC429 发送通道 2 发送控制寄存器 (含中断配置)	
149	A429_TX2_Scaler	80000328	ARINC429 发送通道 2 发送波特率设置寄存器	

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 135 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
150	A429-TX2-Fifoctrl	8000032C	ARINC429 发送通道 2 发送 FIFO 控制寄存器	
151	A429-TX2-Status	80000330	ARINC429 发送通道 2 发送状态寄存器	
152	A429-TX2-Gap	80000334	ARINC429 发送通道 2 字间间隙时间设置寄存器	
153	mfio-current-level	80010000	多功能 I/O 口模块当前电平状态寄存器	
154	mfio-cfg-update	80010004	多功能 I/O 口模块配置信息更新命令寄存器	
155	mfio-status	80010004	多功能 I/O 口模块状态寄存器	
156	mfio-irq-enable	80010008	多功能 I/O 口模块中断使能控制寄存器	
157	mfio-incnt-latch-clear	8001000C	多功能 I/O 口模块脉冲输入计数器锁存/清零寄存器	
158	mfio-config-0	80010010	第 0 路 I/O 口配置寄存器	
159	mfio-cycle-0	80010014	第 0 路 I/O 口输出脉冲周期寄存器	
160	mfio-duty-0	80010018	第 0 路 I/O 口输出脉冲占空比寄存器	
161	mfio-incounter-0	8001001C	第 0 路 I/O 口输入脉冲计数值寄存器	
162	mfio-config-1	80010020	第 1 路 I/O 口配置寄存器	
163	mfio-cycle-1	80010024	第 1 路 I/O 口输出脉冲周期寄存器	
164	mfio-duty-1	80010028	第 1 路 I/O 口输出脉冲占空比寄存器	
165	mfio-incounter-1	8001002C	第 1 路 I/O 口输入脉冲计数值寄存器	
166	mfio-config-2	80010030	第 2 路 I/O 口配置寄存器	
167	mfio-cycle-2	80010034	第 2 路 I/O 口输出脉冲周期寄存器	
168	mfio-	80010038	第 2 路 I/O 口输出脉冲占空比寄存器	
169	mfio-incounter-2	8001003C	第 2 路 I/O 口输入脉冲计数值寄存器	
170	mfio-config-3	80010040	第 3 路 I/O 口配置寄存器	
171	mfio-cycle-3	80010044	第 3 路 I/O 口输出脉冲周期寄存器	
172	mfio-duty-3	80010048	第 3 路 I/O 口输出脉冲占空比寄存器	
173	mfio-incounter-3	8001004C	第 3 路 I/O 口输入脉冲计数值寄存器	
174	mfio-config-4	80010050	第 4 路 I/O 口配置寄存器	
175	mfio-cycle-4	80010054	第 4 路 I/O 口输出脉冲周期寄存器	
176	mfio-duty-4	80010058	第 4 路 I/O 口输出脉冲占空比寄存器	

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 136 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
177	mfio_incounter_4	8001005C	第 4 路 IO 口输入脉冲计数值寄存器	
178	mfio_config_5	80010060	第 5 路 IO 口配置寄存器	
179	mfio_cycle_5	80010064	第 5 路 IO 口输出脉冲周期寄存器	
180	mfio_duty_5	80010068	第 5 路 IO 口输出脉冲占空比寄存器	
181	mfio_incounter_5	8001006C	第 5 路 IO 口输入脉冲计数值寄存器	
182	mfio_config_6	80010070	第 6 路 IO 口配置寄存器	
183	mfio_cycle_6	80010074	第 6 路 IO 口输出脉冲周期寄存器	
184	mfio_duty_6	80010078	第 6 路 IO 口输出脉冲占空比寄存器	
185	mfio_incounter_6	8001007C	第 6 路 IO 口输入脉冲计数值寄存器	
186	mfio_config_7	80010080	第 7 路 IO 口配置寄存器	
187	mfio_cycle_7	80010084	第 7 路 IO 口输出脉冲周期寄存器	
188	mfio_duty_7	80010088	第 7 路 IO 口输出脉冲占空比寄存器	
189	mfio_incounter_7	8001008C	第 7 路 IO 口输入脉冲计数值寄存器	
190	mfio_config_8	80010090	第 8 路 IO 口配置寄存器	
191	mfio_cycle_8	80010094	第 8 路 IO 口输出脉冲周期寄存器	
192	mfio_duty_8	80010098	第 8 路 IO 口输出脉冲占空比寄存器	
193	mfio_incounter_8	8001009C	第 8 路 IO 口输入脉冲计数值寄存器	
194	mfio_config_9	800100A0	第 9 路 IO 口配置寄存器	
195	mfio_cycle_9	800100A4	第 9 路 IO 口输出脉冲周期寄存器	
196	mfio_duty_9	800100A8	第 9 路 IO 口输出脉冲占空比寄存器	
197	mfio_incounter_9	800100AC	第 9 路 IO 口输入脉冲计数值寄存器	
198	mfio_config_10	800100B0	第 10 路 IO 口配置寄存器	
199	mfio_cycle_10	800100B4	第 10 路 IO 口输出脉冲周期寄存器	
200	mfio_duty_10	800100B8	第 10 路 IO 口输出脉冲占空比寄存器	
201	mfio_incounter_10	800100BC	第 10 路 IO 口输入脉冲计数值寄存器	
202	mfio_config_11	800100C0	第 11 路 IO 口配置寄存器	
203	mfio_cycle_11	800100C4	第 11 路 IO 口输出脉冲周期寄存器	

	<b>S698-T 立体封装计算机模块</b> <b>用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 137 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
204	mfio_duty_11	800100C8	第 11 路 IO 口输出脉冲占空比寄存器	
205	mfio_incounter_11	800100CC	第 11 路 IO 口输入脉冲计数值寄存器	
206	mfio_config_12	800100D0	第 12 路 IO 口配置寄存器	
207	mfio_cycle_12	800100D4	第 12 路 IO 口输出脉冲周期寄存器	
208	mfio_duty_12	800100D8	第 12 路 IO 口输出脉冲占空比寄存器	
209	mfio_incounter_12	800100DC	第 12 路 IO 口输入脉冲计数值寄存器	
210	mfio_config_13	800100E0	第 13 路 IO 口配置寄存器	
211	mfio_cycle_13	800100E4	第 13 路 IO 口输出脉冲周期寄存器	
212	mfio_duty_13	800100E8	第 13 路 IO 口输出脉冲占空比寄存器	
213	mfio_incounter_13	800100EC	第 13 路 IO 口输入脉冲计数值寄存器	
214	mfio_config_14	800100F0	第 14 路 IO 口配置寄存器	
215	mfio_cycle_14	800100F4	第 14 路 IO 口输出脉冲周期寄存器	
216	mfio_duty_14	800100F8	第 14 路 IO 口输出脉冲占空比寄存器	
217	mfio_incounter_14	800100FC	第 14 路 IO 口输入脉冲计数值寄存器	
218	mfio_config_15	80010100	第 15 路 IO 口配置寄存器	
219	mfio_cycle_15	80010104	第 15 路 IO 口输出脉冲周期寄存器	
220	mfio_duty_15	80010108	第 15 路 IO 口输出脉冲占空比寄存器	
221	mfio_incounter_15	8001010C	第 15 路 IO 口输入脉冲计数值寄存器	
222	INT_MASK_0	80020000	1553B 通道 0 中断屏蔽寄存器	
223	CONFIG1_0	80020004	1553B 通道 0 配置寄存器 1	
224	CONFIG2_0	80020008	1553B 通道 0 配置寄存器 2	
225	START_RESET_0	8002000C	1553B 通道 0 启动/复位寄存器	
226	RT_STACK_PNTR_0	8002000C	1553B 通道 0 BC/RT/BM 命令堆栈指针寄存器	
227	BM_STACK_PNTR_0	80020010	1553B 通道 0 BM 初始命令堆栈指针寄存器	
228	TIME_TAG_0	80020014	1553B 通道 0 时间标签寄存器 0	
229	INT_STATUS_0	80020018	1553B 通道 0 中断状态寄存器	
230	CONFIG3_0	8002001C	1553B 通道 0 配置寄存器 3	

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 138 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
231	CONFIG4_0	80020020	1553B 通道 0 配置寄存器 4	
232	CONFIG5_0	80020024	1553B 通道 0 配置寄存器 5	
233	BM-MSG-START_0	80020028	1553B 通道 0BM 数据堆栈指针寄存器	
234	BAUD_SEL_0	8002002C	1553B 通道 0 波特率 1Mbps/10Mbps 配置寄存器	
235	LAST_CMD_0	80020034	1553B 通道 0RT 上一命令字寄存器	
236	BC-FRM-TIME_0	80020034	1553B 通道 0BC 帧时间寄存器	
237	RT_STA_0	80020038	1553B 通道 0RT 状态字寄存器	
238	RT_BIT_REG_0	8002003C	1553B 通道 0RT BIT 字寄存器	
239	TTR1_0	80020040	1553B 通道 0 时间标签寄存器 1	
240	1553B-0 memory	80024000 ~ 80027FFF	1553B 通道 0 存储器	
241	INT_MASK_1	80030000	1553B 通道 1 中断屏蔽寄存器	
242	CONFIG1_1	80030004	1553B 通道 1 配置寄存器 1	
243	CONFIG2_1	80030008	1553B 通道 1 配置寄存器 2	
244	START_RESET_1	8003000C	1553B 通道 1 启动/复位寄存器	
245	RT_STACK_PNTR_1	8003000C	1553B 通道 1 BC/RT/BM 命令堆栈指针寄存器	
246	BM_STACK_PNTR_1	80030010	1553B 通道 1 BM 初始命令堆栈指针寄存器	
247	TIME_TAG_1	80030014	1553B 通道 1 时间标签寄存器 0	
248	INT_STATUS_1	80030018	1553B 通道 1 中断状态寄存器	
249	CONFIG3_1	8003001C	1553B 通道 1 配置寄存器 3	
250	CONFIG4_1	80030020	1553B 通道 1 配置寄存器 4	
251	CONFIG5_1	80030024	1553B 通道 1 配置寄存器 5	
252	BM-MSG-START_1	80030028	1553B 通道 1 BM 数据堆栈指针寄存器	
253	BAUD_SEL_1	8003002C	1553B 通道 1 波特率 1Mbps/10Mbps 配置寄存器	
254	LAST_CMD_1	80030034	1553B 通道 1 RT 上一命令字寄存器	
255	BC-FRM-TIME_1	80030034	1553B 通道 1 BC 帧时间寄存器	
256	RT_STA_1	80030038	1553B 通道 1 RT 状态字寄存器	

	<b>S698-T 立体封装计算机模块 用户手册</b>	编写日期	2018-06-28
		版 次	A3
文件编号	ORBITA/IC-OBC02-UMM-01	页 码	第 139 页 共 139 页

#	寄存器名称	地址 (0X)	寄存器描述	备注
257	RT_BIT_REG_1	8003003C	1553B 通道 1 RT BIT 字寄存器	
258	TTR1_1	80030040	1553B 通道 1 时间标签寄存器 1	
259	1553B-1 memory	80034000 ~ 80037FFF	1553B 通道 1 存储器	